

SCREW CAPPER

Publication number: JP2004299696

Publication date: 2004-10-28

Inventor: MATSUI HAJIME; KITAMOTO HIROAKI; MIYAZAKI TAKASHI

Applicant: SHIBUYA KOGYO CO LTD

Classification:

- international: **B67B3/20; B67B3/00; (IPC1-7): B67B3/20**

- european:

Application number: JP20030092250 20030328

Priority number(s): JP20030092250 20030328

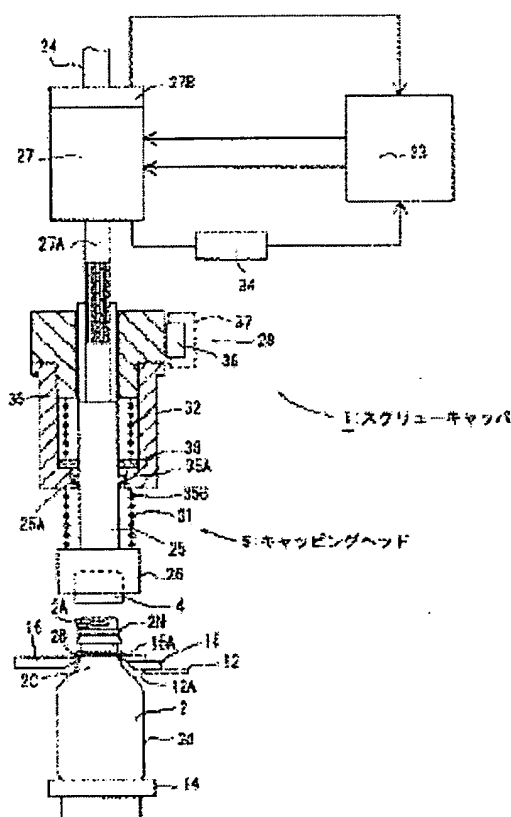
Report a data error here

Abstract of JP2004299696

PROBLEM TO BE SOLVED: To prevent breakage of a container 2 and a screw portion of a cap 4 and generation of a beret cap, and to simplify the configuration of a capping head 5.

SOLUTION: In an engagement section P in which the capping head 5 is at an engagement height, the urging force of a spring 31 is applied to the cap 4, and when a chuck 26 is turned by 270[deg.] in this state, fastening is once stopped. Next, in a permanently tightening section S in which the capping head 5 is at a permanent fastening height, the urging force by both springs 31 and 32 is added to the cap 4, and the chuck 26 is again turned in the state to complete fastening.

COPYRIGHT: (C)2005,JPO&NCIP



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2003-92250
(P2003-92250A)

(43) 公開日 平成15年3月28日 (2003.3.28)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード*(参考)
H 0 1 L 21/027		G 0 3 F 7/20	5 2 1 5 F 0 4 6
G 0 3 F 7/20	5 2 1	H 0 1 L 21/30	5 0 2 C 5 F 0 5 6
			5 0 2 A
			5 0 2 C
			5 4 1 S
審査請求 未請求 請求項の数31 O L (全 32 頁)			

(21) 出願番号 特願2001-282546 (P2001-282546)

(22) 出願日 平成13年9月18日 (2001.9.18)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233169

株式会社日立超エル・エス・アイ・システムズ

東京都小平市上水本町5丁目22番1号

(72) 発明者 山本 治朗

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(74) 代理人 100075096

弁理士 作田 康夫

最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

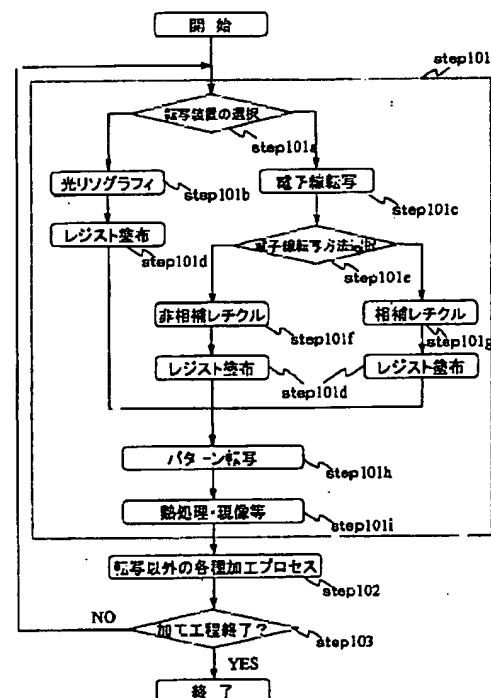
(57) 【要約】

【課題】 半導体集積回路装置の微細なパターンを生産性よく、高精度に形成する方法を提供する。

【解決手段】 スループットの高い光リソグラフィと、レチクルを用いた比較的高いスループットが高く、解像性能も高い電子線リソグラフィとを、各品種・各層毎に必要な要求精度、要求解像度を満たしながら、最大限のスループットが得られるように選択して使用する。また、電子線リソグラフィを使用する場合、非相補レチクルと相補レチクルとを、必要な要求精度、要求解像度を満たしながら、最大限のスループットが得られるように選択して使用する。

【効果】 半導体集積回路装置の生産性を向上と集積度向上を行うことが可能となる。

図1



【特許請求の範囲】

【請求項1】マスク上に形成された複数の非繰返しパターンを含むパターンを半導体基板上に縮小転写することにより半導体装置を製造する方法において、前記マスクを光照射を用いて転写するフォトリソグラフィ工程か、マスク上有限幅の境界を挟んで2次元的に並んだ複数の領域内にあるパターンをウェハ上で接続する荷電粒子線転写工程かを選択する第一の選択の工程と、荷電粒子線転写工程を選択した場合はさらに、荷電粒子線転写の方法において一つの領域を一度のマスク転写によって行うか、あるいは一つの領域を異なる2種類以上のマスクを重ねて転写するか第二の選択をする工程を有することを特徴とする半導体装置製造方法。

【請求項2】所望のパターンを半導体基板上に形成する半導体装置の製造方法において、上記所望のパターンの形成を、光を用いておこなうか、荷電粒子線を用いて行うかを選択する第一の選択工程と、前記第一の選択工程において荷電粒子線を用いることを選択した場合に、複数の非繰返しパターンを含むマスクを用いるかマスクは用いずに直接描画するかを選択する第二の選択工程と、更に、前記第二の選択工程においてマスクを用いることを選択した場合に、一つの領域を一度のマスク転写により行うか異なる二種類以上のマスクを重ねて転写するかを選択する工程とを有することを特徴とする半導体装置の製造方法。

【請求項3】素子分離用パターン、ゲート用パターン、コンタクト用パターン及びゲート層の次の配線用パターンのいずれかを含むパターンは、前記複数の非繰返しパターンを含むマスク及び荷電粒子線を用いて形成することを特徴とする請求項1あるいは請求項2記載の半導体装置製造方法。

【請求項4】素子分離用パターン、ゲート用パターン及びコンタクト用パターンを含むパターンは一つの領域を一度のマスク転写により行い、ゲート層の次の配線用パターンを含むパターンは一つの領域を異なる2種類以上のマスクを重ねて転写することを特徴とする請求項3記載の半導体装置製造方法。

【請求項5】最小加工寸法 $W1$ が $W1 \geq 0.5 \times (\text{露光光波長}) / (\text{露光装置のレンズ開口数})$ のときには光リソグラフィ工程を選択し、 $W1 < 0.5 \times (\text{露光光波長}) / (\text{露光装置のレンズ開口数})$ のときに荷電粒子線を選択することを特徴とする請求項1又は2に記載の半導体装置製造方法。

【請求項6】最小加工寸法 $W1$ が $W1 \geq 0.25 \times (\text{露光光波長}) / (\text{露光装置のレンズ開口数})$ のときには光の位相差を利用した光リソグラフィ工程を選択し、 $W1 < 0.25 \times (\text{露光光波長}) / (\text{露光装置のレンズ開口数})$ のときに荷電粒子線を選択することを特徴とする請求項1又は2に記載の半導体装置製造方法。

【請求項7】荷電粒子線により転写されるパターンの面

積が、半導体装置の最終製造工程によって得られるデバイス機能が完成する最小片であるチップの面積の0.3以下となる場合、あるいは前記チップを荷電粒子線により一度に転写される所定領域に分割された単位領域内における転写パターンの面積が該単位領域の面積の0.3以下となる単位領域の数が全単位領域の数の0.7以上の場合に、一つの領域を一度のマスク転写によって照射する工程を選択し、異なる場合に一つの領域を異なる2種類以上のマスクを通して照射する工程を選択する工程を有することを特徴とする請求項1あるいは請求項2記載の半導体装置製造方法。

【請求項8】荷電粒子線転写用の前記マスクは開口パターンを有し、前記開口パターンの長手方向の寸法 L nmは、非開口パターンの寸法を W nm、該非開口パターンと隣接する非開口パターンとの間隔を S nmとすると、 $0 < L \leq (S + W - 50) \times 50$ であることを特徴とする請求項1あるいは請求項2記載の半導体装置の製造方法。

【請求項9】前記梁によって分けられるパターン長 L nmは、非開口パターンの寸法 W nmと該非開口パターンと隣接する非開口パターンとの間隔 S nmとすると、 $0 < L \leq (S + W - 50) \times 10$ であることを特徴とする請求項1あるいは請求項2記載の半導体装置の製造方法。

【請求項10】前記梁は所定間隔毎に設けられていることを特徴とする請求項8あるいは9記載の半導体装置の製造方法。

【請求項11】前記梁はT字状開口パターンの交差部に設けられていることを特徴とする請求項8あるいは9記載の半導体装置の製造方法。

【請求項12】前記梁は、短寸法が所定幅以上の開口パターンにおいて、平行な縦線にそれを結ぶ横線を互い違いの梯子にて並べた、あるいは平行な横線にそれを結ぶ縦線を互い違いの梯子にて並べた形状であることを特徴とする請求項8あるいは9記載の半導体装置の製造方法。

【請求項13】前記梁の材料は、前記マスクの主構成材料と比較し、荷電粒子の散乱係数が低いことを特徴とする請求項8あるいは9記載の半導体装置の製造方法。

【請求項14】荷電粒子線により一度に転写される単位領域において、前記マスクは、複数の開口率の異なる前記単位領域を有し、開口率が小さい単位領域の梁の幅を、開口率の大きい単位領域の梁の幅より、同寸法以下とすることを特徴とする請求項8あるいは9記載の半導体装置の製造方法。

【請求項15】荷電粒子線により一度に転写される単位領域内において、寸法幅が小さい開口パターンの梁の幅は、寸法幅の大きい開口パターンの梁の幅より、同寸法以下とすることを特徴とする請求項8あるいは9記載の半導体装置の製造方法。

【請求項16】前記梁の幅を開口パターン寸法の1/4以下かつマスク上寸法にて40nm以上400nm以下とする請求項8あるいは9記載の半導体装置の製造方法。

【請求項17】前記梁と梁と対向する開口パターンの辺との距離が、梁の幅の10倍以上であることを特徴とする請求項8あるいは9記載の半導体装置の製造方法。

【請求項18】前記梁において、前記梁が設けられた部分での開口部の幅は、梁が設けられていない部分での開口部の幅よりも広いことを特徴とする請求項8あるいは9記載の半導体装置の製造方法。

【請求項19】前記梁の幅は、前記マスク上で200nm以下、また長さは200nm以下であることを特徴とする請求項18記載の半導体装置の製造方法。

【請求項20】前記梁は、開口パターンの中心線に対して非対称であることを特徴とする請求項8あるいは9記載の半導体装置の製造方法。

【請求項21】前記梁は前記開口部の長辺方向に対して斜めに配置されていることを特徴とする請求項8あるいは9記載の半導体装置の製造方法。

【請求項22】前記梁は、前記長辺方向に対して45°あるいは-45°となるように配置されている請求項21記載の半導体装置の製造方法。

【請求項23】請求項8あるいは9記載の梁を有する荷電粒子線転写用マスクにおいて、梁の発生制限領域を設け、かつ梁の発生禁止領域内における梁の形状と、梁の発生制限領域外の梁の形状と異なることを特徴とする半導体装置の製造方法。

【請求項24】前記梁の発生制限領域として、ゲート層における活性領域上であることを特徴とする請求項23記載の半導体装置の製造方法。

【請求項25】マスク上に形成された複数の非繰り返しパターンを含むパターンを半導体基板上に縮小転写することにより半導体装置を製造する方法において、非開口部を接続した梁を有し、かつ該梁と直交する方向に開口パターン幅を所定量短くしたマスクを用いて第1回目の転写を行う工程と、前記同一マスクを用いて、該梁の配列方向と直交する方向に転写位置シフトさせて2回目の転写を行なうことを特徴とする半導体装置製造方法。

【請求項26】前記2度露光は、荷電粒子線転写手段の転写位置を制御する偏向制御レンズの電流を変化させることにより半導体基板と水平方向に転写シフトさせることを行うことを特徴とする請求項25記載の半導体装置製造方法。(旧請求項42)

【請求項27】前記転写位置を半導体基板と水平方向に転写位置シフトさせて転写する方法として、一度の荷電粒子線転写により転写される領域と半導体基板上との相対関係を振動させることを特徴とする請求項25記載の半導体装置製造方法。

【請求項28】前記シフト露光は、転写位置のシフト用

の偏向制御レンズを設けて、転写位置シフトを行うことを特徴とする請求項26記載の半導体装置製造方法。

(旧請求項44)

【請求項29】前記転写位置変化用のレンズは、転写位置を偏向するための偏向制御用レンズの電流として少なくとも2種類の定められた値を持ち、該パラメータをきりかえることにより転写位置をシフトすることを特徴とする請求項28記載の半導体装置製造方法。

【請求項30】前記転写位置シフト露光は、所定の転写位置を中心として所定量の半径をもって回転させることにより転写位置をシフトすることを特徴とする請求項29記載の半導体装置製造方法。

【請求項31】前記荷電粒子線は、電子線であることを特徴とする請求項1から請求項10及び至請求項25から請求項30記載の半導体装置製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、荷電粒子線を用いて半導体集積回路パターンを形成する半導体装置の製造方法に関する。

【0002】

【従来の技術】半導体集積回路のパターン形成にリソグラフィ技術が用いられている。その際、感光膜を感光させるためのエネルギー線として光、電子線などが使われる。このうちエネルギー線として光を用いる光リソグラフィは半導体装置の微細化に対応するため、光源の波長をg線(436nm)からi線(365nm)、KrF(248nm)と短波長化してきた。これは、微細パターンの解像度は波長に反比例して向上するからである。このように、光リソグラフィでは短波長化により解像性の向上を行ってきたものの、デバイス性能として要求されるパターン寸法に対し、光リソグラフィ装置の性能が十分でなくなってきた。そこで解像性の向上のためにさらなる光源の短波長化が進められている。しかし光源の開発を行うだけでなく、新たにレンズ材料やレジストの開発を行う必要が生じ、莫大な開発費用が必要となる。それに伴い装置価格・プロセスコストも上昇し、結果それを用いて作製される半導体装置が高価となる問題が生じる。

【0003】一方、エネルギー線として電子線を用いる電子線リソグラフィは光リソグラフィと比較し、高い解像性能を有している利点をもつ。しかし従来の電子線リソグラフィ装置では、点(矩形)ビームによる塗りつぶし(直接描画)、もしくは高々数 μm ×数 μm 程度のマスクパターンをつなげてウェハ上のレジストに描画していくものであった。これは従来の電子線では、高密度電子線を得る電子源ができず、また広範囲に均一な電子線を得ることができなかったため、あるいは大面積の領域を転写する場合には中心部と周辺部とで収差が発生するために解像性の劣化が生じ、大面積のパターンを一度に

転写することができなかった。このように従来の電子線描画方法では、微小領域を接続しながら描画しているため一枚のウェハを描画するために多数のショットが必要となる。さらに各ショット毎に電子線を所定位置に偏向した後に安定化するまでの時間が必要となることから、ショット数の増加はスループットの低下をもたらす。このような理由により従来のスループットは1時間に数枚(8inchウェハ換算)程度と低く量産技術として不向きであった。

【0004】この電子線リソグラフィのスループットを改善する方法として、例えばジャーナル アプライド フィジックス ボリューム39、(2000年)第6897頁から第6901頁(Japan journal applied physics, vol. 39 (2000) PP6897-6901)に挙げられるように、全てのパターンをマスク原版(以下レチクルと呼ぶ)に作製し、これを電子線を用いてウェハ上に投影・転写する電子線転写法(Electron Projection Lithography)が提案されている。この電子線転写法では、広範囲に均一な高密度電子源と、大面積照射を行なっても収差が発生しないようなレンズが開発された。この開発によって光リソグラフィと同様に、電子線をマスク上に照射し、それをマスクスキャンをすることが可能となり、ショット数も大幅に低減することが可能となった。従って、電子線転写方法では、転写方式の点で光リソグラフィと同様であり、光源が光から電子線に代わったようなイメージに近く、数枚/時程度であった従来の電子線リソグラフィと比較すると1桁高いスループット35枚/時(8inchウェハ換算)が試算されている。

【0005】この電子線転写用レチクルの形状は、例えばプロシーディングス オブ エス・ピー・アイ・イー、ボリューム3997、(2000年)、第214頁から第224頁(Proceedings of SPIE vol. 3997 (2000) PP214-224)に示されている。図2(a)に電子線転写用レチクルの鳥瞰図、(b)に(a)の領域203の拡大図、(c)にレチクルを上面からみた図を示す。電子線転写法は、転写範囲が限られることから、LSIチップを構成する回路パターンはレチクル上寸法1000 μ m \square にて分割され、それを転写時につなぎ合わせてチップ全体のパターンを形成する。以下この分割された1つの領域、つまり一度に転写される領域を”サブフィールド”201と呼ぶ。回路パターンが転写されるウェハは連続的に移動し、それに対応してレチクルステージの機械的移動及び電子ビームの偏向を行うことによって逐次パターン転写を行う。レチクルを構成するパターン部のシリコン(Si)の厚さは0.5 \sim 2 μ mと薄く、壊れやすいことからサブフィールド間にストラット202と呼ばれるシリコンでできた梁を設けることにより、機械

的強度を高めている。

【0006】電子線転写用レチクルの作製フローを図3に従って示す。図3に示しているように、Si基板中にSiO₂が埋め込まれているSOI(Silicon on insulator)ウェハを用いている。基板の厚さは400 μ m \sim 800 μ m程度であり、その上にSiO₂ 0.1 μ m \sim 0.5 μ m、Si 0.5 \sim 2 μ m程度の厚さとなっている。電子線転写用レチクルの作製方法として、ストラット202作製のために基板の裏面エッチングをレチクルパターン形成の前に行う先行バックエッチ法と、基板の裏面エッチングを後に行う後行バックエッチ法がある。ここでは先行バックエッチ法を示す。先行バックエッチ法では、まずストラット202領域のパターニングを行い、ドライエッチングを行う。先行バックエッチ法ではステンスルマスク用ブランクスを作った後にレチクルパターンを形成することから、ステンスルマスク用ブランクの作り置きが可能で、その後表面の加工を行うのみとなるため、短TAT(Turn around time)化が可能となる。

【0007】一方、後行バックエッチ法は、通常の厚い基板上にパターニングを行うため、EPLマスク作製の特別なプロセスは比較的少なくてもよい。ただし、TATが長くなる、裏面Siのエッチングを行うことによって中間層の酸化膜と表面のシリコンとの膜応力の不整合のある場合にはマスク変形が生じ転写位置のずれが生じることがある。これを避けるには表面の酸化膜にボロン等を添加することによって基板表面にも引っ張り応力を発生させ、酸化膜と基板間の応力を緩和すればよい。このようにそれぞれに特徴があるが、短TAT化が可能な先行バックエッチがより適していると考えられる。裏面エッチングを行った後、酸化膜の除去を行う。このようにして、電子線転写レチクル用のメンブレンブランクスを作製する(図3(b))。この後、回路パターンを所定のサブフィールドに分割し、電子線転写用レチクルにレジストプロセスによってレジストパターン301を形成した(図3(c))。さらにドライエッチング処理を行うことによって、所定のパターンを形成する。最後に洗浄工程を行うことによって電子線転写用レチクルを作製する(図3(d))。なお、ここで示したように、エネルギー線が通過できる開口パターンを有するものをステンスル型と呼ぶ。

【0008】

【発明が解決しようとする課題】電子線転写装置を用いた場合、電子線直接描画法と比較し大幅にスループットの向上が可能で最大35枚/時となるものの、従来の光リソグラフィ装置と比較し約1/2と少ない。また、上記ステンスル型のレチクルでは、電子線が通過できる開口パターンを有するため、例えばドーナツ型パターンと呼ばれる“ロ”の形状をしたパターンを含むことはできない。“ロ”の内部は開口パターンで囲われてしまった

め支持するものがなく落下してしまうからである。そこで1つの領域をパターン転写するためには、2枚以上のレチクルにパターン分割を行い、さらに同一領域を複数回電子線転写する、いわゆる相補レチクルと呼ばれるレチクルを使用する必要がある。その場合、一つの領域をパターン転写するために2度転写する必要があることからスループットの低下を招く。また高いスループットを実現するためには電子線の電流値を大きくする必要があるが、そうした場合電子間斥力によってビームボケが大きくなり、解像性の低下を招く。そのため従来及び現在開発が進められている電子線転写装置を用いても、光リソグラフィ並のスループットを得ることは困難であった。従って、高いスループットを有する光リソグラフィと、スループットは劣るものの高い解像性能を有する電子線転写法を使い分ける必要があるが、現在有効な使い分けの方法がなかった。

【0009】さらに電子線転写法においては、パターンの制約は少ないもののスループットで劣る相補レチクルと、パターン制約は多いもののスループットに優れる非相補レチクルとを使い分ける方法が必要であるが、現在有効な使い分けの方法がなかった。従って本発明では、光リソグラフィ装置と電子線転写装置との有効な使い分けの方法、さらに電子線転写を使用する場合には相補レチクルと非相補レチクルの有効な使い分けの方法を提供することを目的とする。

【0010】一方電子線転写用レチクルについても従来の部分一括用レチクルでは転写領域が小さく、またレチクルの厚さも10 μ m程度と厚く機械的強度が高いが、電子線転写法のレチクルの厚さは2 μ m程度以下と非常に薄く機械的強度が弱い。さらに1mm以上と大面積を一度に転写することから、レチクルの開口パターンに大きな縦横比のパターンが生じてくる。例えば図20(a)のように、電子線を散乱させる非開口部2002の中に、電子線が無散乱にてパターン転写させる開口部2001が縦横比大きく、また密集して形成されている。そのためレチクルの洗浄工程の前は図20(a)のようであったが、洗浄工程後は洗浄液の表面張力によって図20(b)に示しているように、たわみ2003、欠け2004及び欠けによって発生した異物の付着2005が生じた。これによって、作製されたデバイス回路の断線・短絡や、転写位置のずれを生じることとなり、初期の性能が得られない問題が生じた。

【0011】このようなたわみ等の問題は、電子線転写装置のような大面積を一度に転写することにより、転写パターンの縦横比が50倍以上と大きくなり、さらにはステンスルマスクの厚さが5 μ m以下と薄くなってきたことによって顕著となってきたものである。従って本発明の他の目的には、ステンスル型のマスクにたわみが発生しないような梁間隔を設定する方法を提供することにある。

【0012】あるいは、たわみ防止等の目的にて発生させた梁は転写パターン転写されにくいように十分に細くするものの、転写されたパターンが梁部において局所的に寸法が太くなるあるいは細くなるくびれといった問題が生じることがある。本発明の他の目的は、最適な梁の発生箇所や形状、材質、転写方法を提供することによって、梁部におけるパターン変形を抑制することにある。

【0013】

【課題を解決するための手段】本題において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次の通りである。

【0014】前述したように転写装置・転写方法によってスループット及び解像性は大きく異なり、また両立するものはなかった。従って、本発明では、スループットの高い光リソグラフィと、スループットは光リソグラフィと比較し劣るものの比較的高いスループットを持ち解像性能の優れた電子線転写装置の2種類の中から、各品種・各層毎に必要な要求精度、要求解像度を満たしながら、最大限のスループットが得られるように転写装置・転写方法を提案するとともに、電子線転写装置を選択した場合には、非相補レチクルと相補レチクルの2種類の転写方法のうち、必要な要求精度、要求解像度を満たしながら、最大限のスループットが得られるように効果的に選択を行う半導体装置製造方法を提案したものである。

【0015】また本発明では、素子分離、ゲート層、コンタクト層、ゲート層の次の配線層など光リソグラフィではパターン形成が困難な層では電子線転写装置を用い、それ以外の光リソグラフィでも十分に加工可能な層では光リソグラフィ装置を用いてパターン転写を行うものである。

【0016】また本発明では、光リソグラフィ装置の露光光波長、露光装置のレンズ開口数に応じて、光リソグラフィと電子線転写との選択条件を決めたものである。

【0017】また本発明では、少量生産品種や研究開発のようにレチクル一枚当りの処理枚数が少ない品種あるいは短納期品については、レチクルを作製する必要がない可変矩形描画装置や部分一括転写装置などを用いて試料上に直接パターン描画を行うことにより、マスク作製コストをなくし、マスク作製時間の短縮を行うことが可能としたものである。

【0018】また本発明では相補レチクルによる電子線転写は、ゲート層の次の配線層あるいはチップ内に占める転写パターン面積の割合の高い層のときに使用するものである。このように転写パターン面積の高い層で相補分割することによりパターンの開口面積を小さくすることが可能となり、その結果解像性の向上が可能となる。

【0019】また本発明では、電子線転写用のレチクルの強度を向上するために、梁の発生間隔 L nmは、非開口パターンの短寸法を W nm、それと隣接する非開

口パターンとの間隔を S nmとすると、 $0 < L \leq (S + W - 50) \times 50$ となるように、を所定間隔以下にするものである。ただしここでの各寸法はナノメートルである。

【0020】また本発明では、電子線転写用のレチクルの強度を向上するために、梁を発生させる箇所をT字状の開口パターンの交差部としたものである。

【0021】また本発明では、梁の材質として、転写するパターンが形成されているレチクルの非開口部の材質と比較し、電子の散乱係数が低い材質を用いることにより、梁部で散乱される荷電粒子を抑制し、梁が転写されないようにするものである。

【0022】また本発明では、一度に荷電粒子線転写する単位領域において、開口率の高い単位領域内の梁の幅を開口率の低い単位領域の梁の幅より大きくすることによって、各単位領域内で転写されない最大の梁幅にすることが可能となり、マスク作製を容易とするとともにマスクの機械的強度を高くしたものである。

【0023】また本発明では、同一単位領域内においても、開口パターン幅が大きいところの梁の幅を小さい開口パターンの梁の幅より大きくすることにより、各パターンに応じて転写されない最大の梁幅にすることが可能となり、マスク作製を容易とするとともにマスクの機械的強度を高くしたものである。

【0024】また本発明では、梁とパターンエッジとの近接を避けるために、梁と梁と平行な非開口パターンとの距離が、10倍未満となる領域には梁の発生制限領域とし、さらには梁の幅の10倍以上となるよう梁の位置をずらすことにより、梁が密集することによって生じる梁パターンの転写を抑制するものである。

【0025】また本発明では、所定範囲内、特に活性領域上のゲートパターン部分のような寸法精度が要求される領域を梁発生制限領域とすることにより、所定範囲内での梁部によるパターン不良をなくすものである。

【0026】また本発明では、梁として平行でかつチップ配列方向に対し斜め線、特にチップ配列方向に対し $+45^\circ$ あるいは -45° とすることにより、梁部での寸法変化量を半分にするものである。

【0027】また本発明では、非開口部を接続した梁を有し、かつ該梁と直交する方向に開口パターン幅を所定量短くしたマスクを用いて第1回目の転写を行う工程と、前記同一マスクを用いて、該梁の配列方向と直交する方向に転写位置シフトさせて2回目の転写を行なうことにより、梁部が半導体基板上にパターン形成されることを抑制するものである。

【0028】また本発明では、2度露光は梁と直交する方向に行い、かつシフト方向と同一方向に開口パターン幅を所定幅短くしたレチクルを用い行うことにより、シフト露光によって生じるパターン寸法増加を抑制するものである。

【0029】また本発明では、2度露光を行う方法として、偏向器によるシフト露光を行うことにより、高速に2度露光を行なうことを可能としたものである。

【0030】また本発明では、一度に荷電粒子線転写される領域と半導体基板上の相対位置の関係を振動させることにより、梁部の転写を抑制するための2度露光を可能としたものである。これにより、転写位置偏向とシフト露光用の振動を別々に制御することが可能となり、より簡単な装置構成で実現することが可能となる。

【0031】また本発明では、梁部の接する開口パターン部の開口幅を広くしたレチクルを用いることにより、梁パターンが転写されることを抑制するものである。

【0032】

【発明の実施の形態】本発明を詳細に説明する前に、本題における用語の意味を説明すると次の通りである。

電子線転写(EPL)方式： エネルギー線として電子線を用い、半導体装置の所定の層を、レチクルを用いて全面転写する方法。電子線ステッパーとも呼ばれる。

電子線部分一括転写方式： エネルギー線として電子線を用い、ある特定のパターンをあらかじめレチクルとしてもち、その特定のパターンを繰り返し利用し転写する。セルプロジェクション方式・ブロック方式・キャラクタプロジェクション方式等とも呼ばれる。また、レチクルに作製されていないパターンについては可変矩形を用いて転写を行う。

電子線直接描画：レチクル作製用の電子線描画を電子線マスク描画と呼ぶのに対し、半導体基板上に直接パターン転写を行う方法と呼ぶ。そのため電子線転写方式も電子線直接描画方式に含まれるが、ここでは、電子線転写方式以外の電子線直接描画方式を電子線描画方式と呼ぶ。この方式としては、ガウシアン型電子線描画方式・可変矩形描画方式がある。

【0033】相補レチクル：電子線転写方式において、所定領域のパターンを作製するのに、2つ以上のレチクルに分割し、各々のレチクルを半導体基板上の同一領域に転写する方法、あるいはそのレチクル。

非相補レチクル：ある領域のパターンを1度の転写にてパターン転写する方法、及びそのレチクル。

【0034】クーロン効果：電子間のクーロン力による斥力によって生じ、電子の軌道が曲げられることによりビームボケを生じさせ、解像性能が劣化する要因となる。電流値が増加するに従い大きくなる。

【0035】梁(はり)：レチクルの開口部の両端を接続する微小な非開口パターン。この梁は微小な幅しかないためパターン転写を行ってもパターン転写されない、あるいは転写されても回路上ほとんど問題にならない。

【0036】後方散乱：半導体基板に入射した電子線は、原子との衝突により散乱され入射点から広がりを持って基板にエネルギー付与する。従って入射点以外にも

エネルギーが付与され、パターン密度が高い領域では、周辺パターンの影響を受けその効果が大きくなる。

【0037】以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0038】(実施例1) まず、図1を用いて、本発明の一実施の形態である半導体集積回路装置の製造方法を説明する。step101は、レチクルに形成されたレチクルパターンをウエハに転写するパターン転写工程であり、step102は、エッチング、不純物導入や成膜等の各種処理を行なう工程である。通常の半導体集積回路装置では、全ての処理が終了したと判断する(step103)まで、パターンの転写と各種処理を繰り返して実施する。

【0039】さて、本実施の形態では、パターン転写工程step101において、光リソグラフィ(step101b)と電子線転写装置(step101c)の中から転写方式を選択する(step101a)。ここでは、各品種・各層毎に必要な要求精度、要求解像度を満たしながら、最大限のスループットが得られるように転写方式を選択する。例えば光リソグラフィでは転写することが困難であるホールパターン、極微細パターン、ランダムな微細パターンの層を、電子線転写にて作製し、それ以外の層を光リソグラフィにて作製する。あるいは具体的な層名を挙げるとコンタクト層、素子分離層、ゲート層、ゲート層の次の配線層である。

【0040】ただし、上記層であるからといって必ずしも電子線転写で行う必要はなく、加工寸法あるいは加工精度によって光リソグラフィと電子線転写の選択を行ってもよい。光リソグラフィの解像性は露光波長 λ 及び露光装置のレンズ開口数NAに依存する。定数を h (後で記述する)とすると光リソグラフィの解像性能 $W1$ は $W1 \geq h \times (\lambda / NA)$ (①式)にて表示される。またこのときの h は、光リソグラフィ用のレチクルの種類によって異なり、金属からなる遮光パターンと、光透過パターンとでレチクルパターンを形成した通常レチクルと、レチクルを透過する露光光に位相差を生じさせる手段を有する位相シフトレチクルとで異なる。通常レチクルの場合には $h=0.5$ であり、位相シフトレチクルは手法によって多少変わるものの最小で $h=0.25$ となる。つまり、光リソグラフィで転写可能な最小パターン寸法範囲として、①式の h に $0.25 \leq h \leq 0.5$ を適用した範囲となる。従って、転写するパターンの最小加工寸法が上式を満たす場合にはスループットの高い光リソグラフィを用い、それ未済の場合には解像性の高い電子線転写を用いてパターン転写を行う。

【0041】さらに図1に示しているように電子線転写方式を選択したとき(step101c)には、上記非相補レチクル(step101f)と、相補レチクル(step101g)との選択を効果的に行う(step101e)。この相補レチクルか非相補レチクルかの

転写方式の選択は、主にはサブフィールド内の開口面積の大小によって行う。これは、開口面積が広い場合には電流値が大きくなり、電子線のクーロン効果によるビームのボケによって、解像性の低下が生じる。従って電子線転写装置を用いて微細なパターンを形成するためには、電流密度を小さくする、あるいは相補レチクルにして1つのレチクルでの開口面積を減少させることにより電流値を小さくする方法が考えられる。このうち電流密度を変更した場合には、装置のレンズ条件等を設定しなおす必要があり、設定後安定化するまでに時間がかかり、装置の稼働率の低下をもたらす。また、開口面積が大きい場合には、必然的に長パターンが多数発生していることとなるため、レチクルの機械的強度が低下する。その場合梁を設けても十分な機械的強度を得ることが難しく、また解像度向上の効果もあることから相補レチクルにした方が優位である。

【0042】従って、相補レチクルにするか非相補レチクルにするかの選択条件は開口率(サブフィールド内で開口している割合)あるいはチップの転写率(チップ内でパターン転写する割合)によってかえる。この条件としてチップ内のパターン転写領域が10~30%を超えるとクーロン効果の影響が大きくなることから、これを超える場合には例えば2枚に分割した相補レチクルによりレチクルの開口面積を半分に抑制することが可能となる。あるいは、チップ内のパターン転写領域が10~30%以下であったとしても、開口部と未開口部とのチップ内のバランスが悪く、局所的にパターン密度の高いサブフィールドが多数発生することがある。この場合でも、梁を用いて機械的強度の強化を行ったとしても十分な強度を得られないことから相補レチクルに分割を行う。このために開口率が10~30%以下のサブフィールド数が70~100%のときに非相補レチクルにてレチクル作製を行い、それを超える場合には相補レチクルを使用する。具体的に層名を挙げると、素子分離層、ゲート層、コンタクト層は非相補レチクルで行い、ゲート層の次の配線層は相補レチクルで行う。

【0043】またコンタクト層では、パターンのほとんどはホールであることから、電流値も小さく、レチクルの機械的強度も問題ない。しかしコンタクト層でも、ドーナツ型パターンがある場合のパターンの中落ちの問題や、周辺回路に長パターンがある場合のたわみの問題が生じることがある。この一部のパターンのために相補レチクルにすることは、スループットの低下をもたらす。このような場合には、梁をつけレチクルを補強することによって、非相補レチクルによるパターン転写が可能となる。なお、発生箇所や、発生方法等については別の実施例にて詳細に記述する。

【0044】さらに、それぞれの転写装置・層に応じて、あらかじめ決められたレジストを、ウエハの主面に塗布した(step101a)。続いて、ウエハをそれ

それぞれの転写方法でパターン転写する (step101h)。その後、熱処理、現像等を経て、ウエハ上にレジストパターンを形成する (工程101i)。

【0045】このように、転写装置を各選択条件に基づいて使い分けることにより、高いスループットを実現することが可能となる。

【0046】また、梁は相補レチクルに適用することも可能である。通常の場合、相補レチクルに分割する場合には、機械的強度が十分に得られるよう、さらにはドーナツ型パターンが発生しないように分割する。しかし、機械的強度の問題や相補レチクル分割の難しさなどによって、2枚の相補レチクルでは十分に分割されず、3枚あるいは4枚の相補レチクルにする必要が生じることがある。このような場合にも、梁を発生させることによりレチクル枚数を削減することが可能となる。なお上記第一の選択 (露光装置の選択) 及び第二の選択 (電子線転写での転写方法の選択) とともに選択の所定値 (予め定められた値) は、露光オペレータが入力することとした。ただし、これに限られることはない。例えば過去の歩留まりから定めても良いし、ファイル等から指定する方法で定めても良い。

【0047】本実施例では、露光方式の第一の選択として、電子線転写方式と光リソグラフィ方式から選択した。この他に、電子線直接描画方式を選択肢に加えてもよい。電子線直接描画は、スループットが極端に低いものの、レチクルを必要としない (ただし部分一括転写の場合には、あらかじめ出現数の高いパターンを作製する必要がある) といった特徴を有する。従って、レチクル作製するコストと1枚のレチクルでのウエハ露光枚数 (回数) から電子線直接描画を選択した方が安価に製造できる場合がある。具体的には少量品種やデバイス開発用が挙げられる。あるいは他の利点としてレチクルが不要であることからレチクル作製の期間を短縮することが可能であることから短納期品種にも有効である。

【0048】またそれぞれの工程は、ウエハ上あるいは品種毎に分類されたケースにつけられた識別マークに基づいて人が、次に行われる装置に搬送し、さらに諸条件の設定を行うこととした。ただしこれに限られることはない。例えば、バーコードのような識別マークを自動的あるいは人の補助にて読み取り、次の処理を行う装置を判別及び搬送し、また諸条件を自動的に設定することを、各処理の一部あるいは全工程に対して行ってもよい。

【0049】本実施例のように、スループットが高い露光方式を優先的に選択し、パターン制約等によって転写が困難な場合、次に高いスループットの露光方式を選んでいくことによって、高精度な半導体装置をより高いスループットにて得ることが可能となる。

【0050】(実施例2) 次にレチクルデータの生成方法について図4を用いて説明する。各レイアウトデータ

の画像データの読み込みを行い (step401)、露光装置の選択をstep402に行う。このときの選択条件は、取り込まれた画像データを処理し、各種選択条件に基づいて選択を行う。ここでは、最小寸法が0.3 μm 以上である場合には光リソグラフィ装置を選択 (step403) し、それ以外のときには電子線転写装置を選択 (step404) した。光リソグラフィを選択したときには、通常通りレチクルデータを作成し (step413)、レチクルデータを出力する (step415)。電子線転写を選択した場合には画像データの処理を行い、選択条件に基づいて非相補レチクルか相補レチクルかの選択を行う (step405)。このときの選択条件は、パターン転写領域がチップ面積の30%以下の場合やサブフィールド内の開口面積が30%を超えるサブフィールド数が前記レイアウトデータ内で全サブフィールド数の20%を超える場合に相補レチクルを選択 (step406) し、それ以下のときには非相補レチクル (step409) を選択する。これは、チップ面積あるいはサブフィールドの開口面積が30%を超える場合は、パターン密度が高いことから、たわみが発生しやすいためである。このようなパターンに梁を設けた場合、梁による機械的強度の向上効果が小さく、あるいは梁を作製するためのレチクル作製時間が長くなるためレチクルコストが高くなる。従って相補レチクルに分割した方がコスト・精度の点でよい。

【0051】次に非相補レチクルを選択した場合、梁が必要か、否かの判定を行い (step407)、必要な場合には梁を発生させ (step408)、その後レチクルデータの生成を行う (step414)。否の場合は梁を発生させず、レチクルデータの生成を行う。相補レチクルの方式を選択した場合は、まずレチクル分割を行った後に (step410)、相補レチクルと同様梁が必要か、否かの判定を行い (step411)、梁を発生させ (step412)、その後レチクルデータの生成を行う (step412)。否の場合は梁を発生させず、レチクルデータの生成を行う。また、第一の選択にて光リソグラフィを選択した場合は、通常のレチクルデータの生成方法を用いればよい。その後、レチクルデータの出力を行う (step415)。

【0052】ここで、レイアウトデータの生成を行った後にディスプレイ上にてパターンが問題なく生成されているかオペレータが確認を行えるようにすればさらによい。例えば、梁部の色あるいは模様を他のパターンと識別できるようにすることによって、不要な場所あるいは不適当な場所に梁がないか、あるいはドーナツ型パターンのように必ず梁が必要な場所に梁があるかどうかの確認が容易となる。さらに梁部の色あるいは模様は梁の優先順位によって変えることによって、より詳細にレチクルデータの確認が可能となる。例えば、ドーナツ型パターンのように必ず梁が必要な箇所の優先順位を高くす

る。あるいは、梁発生制限箇所、領域の表示色あるいは模様を他のパターンや梁と変えて、例えば活性領域上でのゲートパターンなどのようにわずかな寸法変動でもデバイス特性に大きな影響を与える箇所あるいは領域の表示色・模様を変えることによって、梁によるデバイス性能の劣化を抑制することが可能となる。

【0053】また本実施例では、第一の選択を行った後に第二の選択を行った。しかし、画像データの処理を行う際に各種条件での判定結果が容易に得られるため、step404を省略しstep402とstep405を同時に行う、つまり光リソグラフィ、電子線転写の非相補レチクル、電子線転写の相補レチクルの選択を一度に行うことも可能である。また本実施例では、第一の選択は最小加工寸法にて、第二の選択条件は転写レチクルの開口面積によって選択を行った。しかし、これに限られることはない。例えば、第一の選択条件では、最小開口寸法によって電子線リソグラフィか、光リソグラフィかの選択を行なった。このように一つの条件によってパターンの振り分けを行なうことによって、容易にパターン分割を行なうことが可能となる。

【0054】また非周期性パターンで $0.3\mu\text{m}$ 以下あるいは周期性パターンでは $0.2\mu\text{m}$ 以下あるいはホールパターンでは $0.35\mu\text{m}$ 以下のときの一つでも該当すれば電子線転写を用い、全ての条件が範囲外の場合には光リソグラフィを用いるなど各種条件によって選択を行なってもよい。これは光リソグラフィでは、解像性がパターン種によって大きく異なるためである。このように、諸条件の組み合わせによって選択することにより、必要な要求精度、要求解像度を満たしながら、最大限のスループットが得られるための最適な選択を行うことがより可能となるあるいは複数台の性能の異なる光リソグラフィ装置を所有している場合や、レチクルの構造を変化することによって転写性能をかえる方法などを選択肢に加えた場合については、選択条件が増加するだけであり、本発明が適用可能である。

(実施例3) 本実施例では、特に断らない限りパターン寸法は全てウェハ上換算の寸法を使用する。従って、例えば $1/4$ に縮小転写をしている場合、レチクル上寸法はウェハ上寸法の4倍の値となる。図5を用いて、本発明の一実施例の形態である梁の発生箇所に関して説明する。パターンの長さがウェハ上寸法 $9.5\mu\text{m}$ の、所定ピッチにて $9.5\mu\text{m}$ の範囲内に配置可能な最大限のパターン本数のときにおける、たわみの有無を示す。図5に示しているように、開口幅Sが一定である場合には非開口幅Lが短くなることによりたわみが発生している。これは非開口幅Lが短くなることによって、機械的強度が弱くなるためである。

【0055】一方、非開口幅Lが一定である場合、開口幅Sが短くなるに従いたわみが発生する。このたわみはレチクルパターンのエッチングを行った後の洗浄工程の

際に非開口パターン間に表面張力が生じ、この表面張力が開口幅の減少に伴い強くなるために生じた。この表面張力と機械的強度の関係から、たわみは開口幅Sと非開口幅Wの和、つまりパターンピッチに依存した。ここではパターンピッチが 250nm 以上になるとたわみが生じ始めている。

【0056】次にパターン長とパターンピッチの関係を図6に示す。図6に示しているように、パターン長が長くなるに従い、たわみが生じるパターンピッチも大きくなることから、パターンピッチにあわせて梁を発生させる間隔を決める必要がある。つまり、非開口パターンの寸法をW、非開口パターンと隣接するパターンとの間隔をS、梁と梁の間の開口パターン長をLとすると図6の結果より $S+W \geq L/50+50$ とする必要がある。ただしこのときのS、W、Lは全て単位をnm(ナノメートル)とする。さらに、パターン長Lを上記値より少なくとも $1/5$ 以下にすることにより、Chip内で全てに対したわみを0とすることが可能となる。一方梁の発生密度を高くする(梁の発生間隔を短くする)と、梁部での散乱がお互いに影響を及ぼし、梁が転写されるあるいは梁部でのパターンくびれが大きくなる可能性がある。そのため、梁間の距離を少なくとも梁寸法の10倍以上は必要である。梁の形状・寸法等については他の実施例のにて説明を行う。以上本実施例のような梁間隔にすることによって、たわみのない電子線転写用レチクルが作製可能となる。

【0057】(実施例4) 次に図7を用いて、本発明の一実施例の形態である梁の発生箇所に関して説明する。図7(a)に設計パターンを示す。ここで、斜線部が開口部である。この設計データのままレチクル作製すると、非開口パターンの角部704aでは、応力が開放されることから、たわみが生じやすい。図7(b)から(h)にこのたわみの対策をした例を示す。図7(b)では、所定パターンを矩形に分割し、各矩形パターンの交わり部分の一方、もしくは両方を所定量小さくし、梁701bを発生する。この方法では、従来のDA(Design automation)を用いて簡単に行うことが可能である。図7(c)では、パターンの交差部のようにパターン密度が高い領域の縮小量を大きくして、梁701cの寸法を大きくした。パターン密度の高い領域では、後方散乱によって梁の太さを大きくしても梁が転写されにくく、また梁寸法を大きくすることにより梁によるたわみ防止効果を大きくすることが可能となる。例えば孤立の 200nm パターン(ウェハ状寸法、以下同じ)で、梁によるパターンくびれ量を 30nm 以下にするには梁寸法を 20nm にする必要があるが、密集パターンでは梁寸法を 30nm にすることが可能となる。図7(d)では、矩形開口部での交差部で、面取り702dを行っている。本パターンのように行うことによって、パターンの交差部での応力集中をさらに

緩和することが可能となる。図7(e)では、矩形形状に面取り702eを行った。図7(e)のように斜め図形を持っていないことから、レチクル作成が容易となる。これは電子線マスク描画では斜め図形の作製が不得意で描画時間が長くなるためである。

【0058】図7(b)～(e)では開口部の左端の直線部にある非開口部への梁が2箇所あったが、図7(f)では開口部の左端の直線部にある非開口部への梁が703fのみの一箇所とした。こうすることによって、左端の部位での梁によるパターン転写後のくびれを抑制することが可能となる。図7(g)では3辺交差する部位で、開口部が三角形となるように梁を設けた。本方法のように行うことにより、角部での応力をより緩和することが可能となる。

【0059】図7(h)では図7(f)、(g)と比較し、非開口パターン703hの角度が鈍くなっている。このようにすることによって鋭角なパターンを少なくすることができることから、パターンの丸みによる転写パターンの劣化を抑制することが可能となった。本実施例では、パターンの一部のみ示しているが、パターン長が長い場合には、実施例3で述べたような梁を発生させることにより対策が可能である。

(実施例5) 次にドーナツ型パターンに梁を適用した場合の例をあげる。ドーナツ型パターンは図8(a)に示されるように、開口部802によって非開口部801を支持するものがないため、パターンそのものでは自立することはできない。従って、例えば図8(b)や図8(c)に示されるように開口部の角部に梁803を設けることによって、非開口部を支持することが可能となる。開口部が180°をこえる角部のようなパターン密度の高い領域では、実施例4と同様に、後方散乱によって梁が転写されにくくなるためである。図8(b)、(c)以外にも実施例3で行ったような梁との組み合わせによっても、ドーナツ型パターン対策が可能である。また、図8(b)では梁が4本と少ないことから、梁の密集を抑制することが可能である。

【0060】一方、図8(c)では梁が8本あることから、図8(b)より機械的強度を高めることが可能である。またドーナツ型パターンが大きく、機械的強度が不足する場合には、梁を発生させる間隔を他の例えばラインパターンで発生させる梁の間隔より短くして、機械的強度を高める。例えば通常4μm間隔に梁を設けていた場合、ドーナツ型パターンでは1μm間隔と梁間隔を短くして設けることによりレチクルの強度を強くすることが可能となる。また図8(b)、図8(c)のように角部に梁を設けた場合、あまりに強い膜応力がかかり梁を設置しても機械的強度が不足し、梁が折れる可能性が生じることがある。その場合には図8(d)のように、梁をパターンの角部ではない箇所設けることにより、膜応力を緩和することが可能となる。

【0061】(実施例6) 次に、連続するドーナツ型パターンに本発明を適用した実施例を図9を用いて説明する。図9(a)に示すように連続するドーナツ型パターンについても実施例3～5の組み合わせによって実現可能である。図9(b)では、図9(a)における開口部902を矩形パターンに分割し、各矩形パターン間の接続部に梁903bを発生させた。本方法により、容易に梁を発生させることが可能となる。図9(c)では、903cのようにドーナツ型パターンで一つの矩形パターンが3つ以上の矩形パターンと接する箇所の梁の幅を、他の梁904cの幅より大きくした。ここでは、パターン寸法が300nmであり、904cの梁寸法が25nmに対し、903cの梁寸法を35nmとした。これは、一つの矩形パターンが3つ以上の矩形パターンと接する箇所では近接効果により梁を太くしても転写されにくいことから、また機械的強度を増すことが可能となる。図9(d)に一つの矩形パターンが3つ以上の矩形パターンと接する箇所での角部905dでは、他のインコーナの角部906cでの面取りの大きさを大きくした。これは3つの矩形以上の交差部では近接効果により梁が転写されにくいことから面取り量を大きくでき、それにより機械的強度を増すことが可能となる。ここではパターン寸法300nmであり、906dの1辺の大きさが35nmに対し、905dの大きさは50nmとした。なお、図9(d)のような面取り量の大きさを変えないでも、梁部の機械的強度を増すという効果では特に問題ない。

【0062】本実施例のように行うことにより連続する2つ以上のドーナツ型パターンに対して中抜けのない及びたわみのないレチクルを作製することが可能となった。

【0063】(実施例7) 次に、密集した長パターンに本発明を適用した実施例を図10を用いて説明する。図10では左側がレチクルの設計データにそれぞれ梁1001a～fを発生させたときのレチクルパターンであり、右側にそれを電子線転写した結果のレジストパターンで、1002a～fに梁の影響によるパターンのくびれを示している。ここでの図10(a)から(e)の開口パターン寸法は120nm、図10(f)の開口寸法は20nm小さくした100nmであり、梁寸法は全て20nmとした。また、各梁形状によって1002aのくびれ量は30nm、1002bで25nm、1002cで18nm、1002dで15nm、1002e及び1002fではくびれ量が5nm以下となった。また1001eの突起状梁の寸法は、縦が25nm、横が20nmであった。また、1001fの突起状梁の寸法は、縦が25nm、横が30nmとした。

【0064】図10(a)に示しているように、密集しているラインパターンでは、梁部1001aがお互いに影響を及ぼし本来うけるべき近接効果の量が小さくな

り、その結果くびれ1002aが大きくなることがある。そのような場合には、図10(b)に示しているように、梁の発生箇所を平行な縦線にそれを結ぶ横線を互い違いの梯子にて並べた阿弥陀形状にすることによって、お互いの梁の影響を小さくし、くびれ量を小さくすることが可能となる。あるいは図10(c)に示すように、斜めの梁1001cにすることによって、くびれ1002cの発生する箇所を左右非対称にすることが可能となる。このように左右非対称にすることによって、くびれ部での線幅減少量を開口パターンに対し垂直な梁と比較し約1/2に低減することが可能となる。図10(d)に斜め梁の方向を変化させた場合を示す。図10(d)に示すように、梁の方向を変えることによって、応力の方向依存性を小さくし、機械的強度を向上することが可能となる。図10(e)に梁部において突起物1003eを設けた場合を示す。図に示しているように、梁部にて、両方向に突起物をわずかに設けることによって、ない場合と比較し、くびれを大幅に低減あるいはなくすることが可能である。図10(f)に梁部にて突起物1003fを設け、かつあらかじめ開口部の幅を細めにした場合を示す。この場合、パターン転写する際に、照射量を開口部の幅を細くしない場合と比較し大きくすることによって、適正な寸法に転写する。図10(f)に示すようにすることによって、梁部の突起物によって生じレチクル上の非開口部の細い箇所をなくすることが可能となるため、梁部での機械的強度を高めることが可能となる。図10(f)のようにあらかじめ細めに作製し、照射量を多くすることによって梁の影響を低減する方法は、他の梁でも有効であったものの、組み合わせることによって、梁の影響をほとんどなくすることが可能となった。

【0065】以上図10(b)～図10(e)に示した実施例は、通常のラインパターンにも有効であるが、密集したパターンで特に有効であった。

【0066】(実施例8) 図11に、梁の発生方法として高い寸法精度が要求されるゲート層に本発明の適用した例を示す。図11(a)に示しているように、活性領域1102上で70nmのゲートパターン1101のゲート寸法が変動した場合にはデバイス性能に大きな影響を与える。従ってこの領域上での梁による寸法変動を抑制する必要がある。そのような場合には、図11(b)に示しているように、活性領域1102を梁発生制限領域とし、活性領域から外れたところで梁1103bを発生させる。このときには、他の層との多層間合わせ誤差を考慮し、梁の発生箇所を活性領域から少なくとも合わせ誤差分離す。

【0067】また、図11(c)に示しているように、活性領域1102から外れたところでは、線幅を倍の140nmに大きくすることによって、梁部1103cによるくびれや断線をなくすることが可能となる。あるいは

所定の梁発生条件に従って、活性領域内に梁を作らざるを得ない場合、例えば長い開口パターンでは、実施例7の図10(d)～(f)に示すような梁形状とすることによってパターンくびれの量を低減することが可能となる。本実施例の図11(d)では、梁部にて突起物1103dを設けた場合を示している。ここで、梁寸法は20nmであり、突起物の一つの寸法は縦20nm、横20nmとなっている。このような突起状梁をつけることによって梁部でのくびれ量を5nm以下にすることができた。

【0068】また図11(e)に示しているように、ゲートの長さが長い場合には、図11(d)と同様に、梁1103eを複数設ける。このときの梁は活性領域内で梁の本数が最も少なくなるように配置すればさらによい。これは、梁の本数を極力減らすことによってゲート寸法の変動によるデバイス特性への悪影響の可能性を少しでも減らすためである。また図11(f)に示しているように、活性領域上のゲートのような高い寸法精度が要求される領域では図11(e)のような突起物のある梁1103fと、それ以外の領域では突起物のない梁1104fを設ける。こうすることによって、複雑なパターンである突起物を含んだ梁の数を減らすことによりレチクルを作製するための描画時間を削減することが可能となる。

【0069】(実施例9) 図12に長パターンに梁を発生した実施例を示す。図12(a)のように開口パターン長がLのときは、梁を発生させる間隔を1aとすると、図12(b)に示しているようにL/1aの本数の梁を発生させる。このときの1aの大きさは、実施例3と同様に図6のグラフを元に決めればよい。もし図12(c)のようにパターン長Lが梁の発生間隔1aの倍数でなかった場合には図12(d)～(f)のように行う。図12(d)に示すようにパターン端を開始点として順に梁を発生させ、残りのパターン長1bがあらかじめ決められた所定の梁間隔1x以上の場合にはそのまま梁をつければよい。この所定間隔1x以上とは梁が密集することを防ぐためであり、梁幅の10倍以上とした。図12(e)では、残りのパターン長が1aの2倍以下であった場合には、2等分した箇所に梁を発生させる。本方法では全体のパターン長を考えると単純に梁を発生させることが可能となる。あるいはL/1aが割り切れない場合には、小数点以下を切り上げた本数とし、図12(f)のように梁を発生させる。このときの本数をn本とすると、梁を発生させる間隔はL/nとする。こうすることによって、梁を必要最小限の本数にて、バランスよく梁を発生させることが可能となり、レチクルの機械的強度を高めることが可能となる。

【0070】(実施例10) 以上荷電粒子線転写用レチクルのたわみ、あるいは中落ちパターン対策としての梁の形状の説明を行った。本実施例では、梁寸法について

シミュレーションを用いて説明を行う。図13にそれぞれのビームボケ量において、100nmの孤立ラインにおける梁部でのくびれ量の梁寸法依存性を示す。本実施例では特に断らない限りパターン寸法は全てウェハ上換算の寸法を使用する。図13に示しているように、ビームボケ量が大きくなるに従い、梁部でのくびれ量が小さくなっている。この結果からも、ビームのボケ量が多い場合には、小さいものと比較して梁寸法を変化させることも可能である。例えば、くびれ量を30nm以下にするにはボケ量が18nmのときで梁寸法を17nm以下、ボケが90nmのときで梁寸法を22nm以下にすればよい。このようにビームのボケ量に応じてできるだけ梁寸法を大きくすることによって、電子線転写用レチクルの機械的強度を向上することが可能となる。例えば、電子線転写マスクの開口率が大きくなると電流値も増加し、クーロン効果によるビームボケも大きくなることから、開口率の大きなサブフィールドにおける梁の幅を、開口率が小さいサブフィールドにおける梁の幅より少なくとも同寸法以上とする。

【0071】またこのくびれ量は、ビームボケ量が同じであれば、パターン寸法、パターン密度に依存せずほぼ一定であった。従って図14から梁寸法はパターン寸法の約1/4以下にすれば、くびれ量もほぼパターン寸法に対し1/4以下にすることが可能となる。ただし梁寸法が100nm以上になると、くびれ量はパターン寸法の1/4であっても、ネガ型レジストの場合梁部での転写パターンのレジスト膜厚減少が、ポジ型レジストの場合にレジスト残渣が問題になった。従って、梁寸法は100nm以下にする必要がある。ただし、十分な梁の機械的強度を得るためにはさらに梁寸法を10nm（マスク状寸法40nm）以上にする必要がある。

【0072】またこのくびれ量はマスクバイアスを併用することにより小さくすることが可能である。例えばビームボケ量が55nmにおける、100nmの孤立ラインのくびれ量の梁寸法依存性を図14に示す。ここで、マスクバイアス処理とはあらかじめマスクの開口幅を小さく作製し、照射量を大きくして転写パターンの幅を所定寸法とする方法である。図14に示しているように、形成パターン100nmに対して、20nmマスクバイアスを行い、開口寸法を80nmとしてパターン転写を行った場合には、マスクバイアスなしで行ったものに対して、梁寸法20nmにおいてくびれ量を10nm小さくした。このように、梁とマスクバイアス処理を併用することによって、梁によるパターンのくびれを抑制する、あるいは梁寸法を大きくしてたわみ抑制効果を大きくすることが可能となる。

【0073】また、図15に図10(e)に使用した突起状梁を使用した際を使用した場合の結果を示す。ここでは梁幅を20nm、開口パターン寸法を70nmとし、突起状梁の横方向の突起部の寸法を20nm、縦方

向の長さを20nmとした。図15に示しているように、設計寸法70nmに対して、寸法のくびれ量を10nm以下にすることが可能となり、マスクバイアスを併用することによってさらにくびれ量を小さくすることが可能となる。このように突起状梁を設けることによって梁部でのパターンくびれ量を大幅に低減することが可能となった。

【0074】（実施例11）以上実施例4から実施例9にかけて、個々の形状における発生方法について説明をおこなったが、本実施例では、具体的なパターンを用いて、電子線転写用の梁の発生方法について図16を用いて説明する。図16(a)に示すようなパターンのレチクルを作製するためには、まず矩形分解を行うことによって図16(b)に示す矩形に分割される。次に梁の間隔が、所定の値1xより小さい図形については、周囲のパターンと接続することにより、1xより大きくするようにする。ここではパターンの合成は、合成されたパターンが正方形に近くなるように行い、微小パターンでの梁の発生を少なくした。また、異なる寸法の開口パターンでの梁は、寸法の大きな開口パターンに発生させる梁の幅を小さい開口パターンの梁の幅より大きくすることによりレチクル全体の機械的強度の向上が可能となる。これは大きなパターンでは梁の影響によって多少くびれが生じた場合でもその影響は少ないためである。残った長いパターンについては、既に記述した実施例に基づいてパターン分割すればよい。ここでは、実施例7の図10(c)に用いた斜め梁を適用した。本実施例のようにすることによって、複雑なパターンについても梁を発生させることが可能となった。また大パターンそのものでは、たわみの問題が生じないとしても、本実施例のようにそのような場所にも梁をいれることによって、レチクル全体の機械的強度を高めることが可能となり、大パターン周辺の機械的強度が弱くたわみが発生しやすい箇所があったとしてもたわみの発生を抑制することが可能となる。

【0075】（実施例12）次に梁を適用した他の実施例を図17を用いて示す。ここで図17(a)に示しているように、ドーナツ型パターンを含んだパターンとなっている。まず、ドーナツ型パターンは梁を設置しないと物理的に落下することから、優先的に梁を発生させることとした。ここでドーナツ型パターンは市販のCAD（Computer Aided Design）ツールを使用することにより、抽出することが可能である。抽出した後に図9(b)と同様に梁1701を発生させた。

【0076】またここで梁1702は、梁1701発生過程でつくられたもので、必ずしもドーナツ型パターン対策のために必要ではなく取り除いてもよい。ただし、レチクルの機械的強度を高めるために発生された梁1702を残しておく方が望ましい。図17(c)に示

しているよう矩形分解を行うことによって折れ曲がり部に梁1703を発生させ、さらに残された長いパターンについては所定の間隔毎に梁1704を発生させればよい。以上のように行うことによって、ドーナツ型パターンを含んだパターンに梁を発生させることが可能となった。

【実施例13】相補レチクルに本発明の梁を適用した実施例を図21を用いて示す。ここでは、図21(a)に示しているように、活性領域2101があり、その活性領域上では、パターンの曲がり部を除いて相補分割をしないようにした。これは相補レチクルでは2枚のレチクルを同一箇所に転写してパターンを形成するが、それぞれのパターン転写の位置ずれを完全に除去することは困難であり、この位置ずれが生じた場合、デバイス特性に大きく影響を及ぼすためである。

【0077】なおパターンの曲がり部では、多少の位置ずれが生じていてもデバイス特性に大きな影響を及ぼさないため、そこにて相補分割することとした。また活性領域内2101内に分割を行わないようにしたため、長い開口パターンが残存し、たわみ等に対する機械的強度が低下する。そこでたわみの問題の生じる可能性のあるところには実施例7の図10(e)に使用した突起物がついている梁を使用し、活性領域内での寸法変動を抑制するようにした。まず図21(a)のパターンを図21(b)のようにパターンの折れ曲がり部にて分割した。

【0078】さらに、たわみの問題が生じにくいようにパターンをAレチクルとBレチクルに分割し、図21(c)のようになった。このときパターン密度がほぼ等しくなるように分割した。その後、梁の発生間隔1a以上の長さのパターン及び折れ曲がり部に、梁を発生させ図21(d)となる。その後、活性領域2101内に、折れ曲がり部でない箇所は突起物がついた梁を発生させた。また、折れ曲がり部のところでは斜めの梁を、そのいずれでもない場合には、通常の突起物のない梁2103をつけた。以上のように相補レチクルに梁をとりつけることによって、相補レチクルでの転写ずれによって生じる位置ずれがなく、また突起上の梁を設けることによって寸法精度の高いパターンを形成可能とした。さらには相補レチクルに使用しても機械的強度が不足する箇所や、相補レチクル分割の際の矛盾箇所に梁をとりつけることによって、分割する枚数を減らし、レチクルの機械的強度を向上させ、レチクル作製の歩留まりを高めることが可能となる。

【0079】(実施例14)次にDAを用いての梁の発生方法について図22(a)の工程図と図22(b)のプロセスフローを用いて説明する。まずst101に示しているように図22(a)-1のレイアウトデータの取込を行う。本実施例でのチップにおける最小寸法は0.1 μm であったことから、1:1L&Sのパターンがあった場合のたわみが生じ始めるパターン長は図6よ

り7.5 μm となる。ここでは、梁を発生させる間隔の所定量1bは7.5 μm の1/5とした。これは1/2での間隔にてたわみの発生を完全になくすことができたもののマージンをもたせるためにこの値より小さい値となる1/5の1.5 μm として、たわみの危険性のより少ないレチクルを作製することとした。また梁の大きさは加工可能な寸法である15nm(レチクル寸法60nm)とした。

【0080】図22(a)-1に示されるレイアウトデータに梁を発生させるために、全パターンについて図22(a)-2のようにレイアウトデータの縦の辺を抽出し、パターンが縮小するよう横方向に所定量1a縮小を行うことによって、境界に梁10を発生させる(st102)。前記工程を画像データが消失するまで繰り返すことによって(st103~st106)、縦の梁を発生させた。その後、図22(a)-4のように横方向と同様縦方向に縮小し(st107)、梁を発生させることによって図22(a)-5のように所定間隔毎に梁10を発生させ、それを画像データが消失するまで行う(st108~st111)。以上の工程により図22(a)-6に示すように、所定間隔毎に梁を発生させたレチクルデータを出力する(st112)ことが可能となった。以上の工程によりたわみのないレチクルを作製することが可能となった。本実施例では全てのパターンに対して、同一寸法の梁10を発生させた。しかし、パターン寸法や、隣接するパターンとの距離との関係によって梁の発生させる間隔をかえてもよい。こうすることによって、梁の数を削減することが可能となり、レチクル作製がより容易になる。

【0081】(実施例15)次にDAを用いての梁の発生方法について図23(a)の工程図と図23(b)のプロセスフローを用いて説明する。まずst201に示しているように図23(a)-1のレイアウトデータの取込を行う。本実施例でのチップにおける最小寸法は0.08 μm であり、最小ピッチは1:2L&Sのパターンがあることからたわみが生じ始めるパターン長は図6より9.5 μm となる。従って、梁を発生させる間隔の所定量1aは、マスク作製の際に、設計より多少寸法が変化することがあるためこの値より小さい1/3以下の3 μm とした。また梁によるパターンくびれが30nm以下するため、梁の寸法を30nm(レチクル上寸法120nm)とした。転写されない寸法範囲(上限)は経験上200nm程度である。

【0082】図23(a)-1に示されるレイアウトデータに梁を発生させるために、図23(a)-2に示すように矩形分割を(st202)を行い、各矩形の重複辺に境界11を発生させる(st203)。次に図23(a)-3のように横方向に所定量1aレイアウトデータのパターン内部に向かって縮小を行うことによって、図23(a)-4に示すように境界11を新たに発

生させ、この工程を繰り返して、縦の境界線を発生させ、パターンデータが消失するまで行った (st 204-208)。なお、単にパターンが $3\mu\text{m}$ 以下、例えば $2\mu\text{m}$ の場合には、横方向にパターン縮小を行なうとパターンがなくなる。これは、DAの機能で実現が可能である。同様に所定量 $1a$ だけレイアウトデータのパターン内部に向かって縦方向に縮小することによって、残ったパターンと設計データから境界を設ける工程を繰り返す (st 209-st 213)。図23(a)-5では、 $1a$ 縮小することによってパターンデータが全て消失している。本工程を行うことによって矩形パターン間の境界が抽出され、その箇所に梁10を発生させる (st 214)。以上の工程によりたわみのないレチクルを作製することが可能となった。

【0083】また本実施例のように矩形分解を先に行うことによって、パターンエッジと梁とが重複することが生じることなくなり、より設計データに忠実な転写パターンが得られるようになった。

【0084】(実施例16) 次にDAを用いての梁の発生方法について図24を用いて示す。まず図24(a)-1のレイアウトデータの取込を行う (st 301)。

【0085】図24(a)-1に示されるレイアウトデータに梁を発生させるために、図24(a)-2に示すように矩形分割を行い (st 302)、各矩形の重複辺を抽出し、境界11を発生させる (st 303)。次にパターン短寸法 W が 200nm 以下かつパターン長手方向寸法 La が $3\mu\text{m}$ 以上のパターンの抽出を行った (図24(a)-3及びstep 304)。その次に図12(f)と同様にパターンの長手方向寸法が l となると、 L/l が割り切れるときにはその数の本数を、割り切れない場合には小数点を切り上げた本数にて矩形分割を行い、その分割部を境界11とする (図24(a)-4及びst 305)。このように発生した境界部に梁10を発生させ (st 306)、レイアウトデータを出力する (st 307)。このようにすることによって、梁を有効に発生させることが可能になり、また、梁間隔が密集することを抑制することが可能となる。

【0086】(実施例17) 次にDAを用いての梁の発生方法の他の実施例を図26(a)の工程図と図26(b)のプロセスフローを用いて説明する。本実施例では、メッシュ状の梁を最初に設けた後に、パターン境界周辺等の梁を除去する方法について説明する。図26(a)に示しているように、まず図26(a)-1に示すレイアウトデータの取込み (st 501) を行った後縦メッシュを生成する。メッシュの間隔は $1\mu\text{m}$ とした。光学顕微鏡での観察によれば、約 $3\mu\text{m}$ 以下になると 20nm の梁でもたわみなく形成できていた。また梁は梁と平行な方向のパターンエッジから少なくとも $0.3\mu\text{m}$ 離すようにした。これは、梁とパターンエッジが平行でしかも近接している場合には、梁によるパターン

エッジへの影響が大きくなるためである。特に、 $0.1\mu\text{m}$ 以下になるとかなり大きな影響を及ぼし、パターン寸法が所定寸法より大きく変化し始める。

【0087】図26(a)-2に示しているようにメッシュ状間隔 $1\mu\text{m}$ にて、縦方向の梁を発生した (st 502)。次に図26(a)-3のような横方向に $0.3\mu\text{m}$ パターンデータの内部に向かって縮小を行い (st 503)、梁メッシュ図形データとの重なり部分を残し、重複していないところの梁メッシュを削除し図26(d)-4のような梁メッシュ付きのパターンを得た (st 504)。次に横方向の梁を発生させるが、本実施例では平行な縦方向の梁にそれを結ぶ横線を互い違いの梯子にて並べた阿弥陀形状にした。これはまずパターンデータの左下端を基準にそこから $1\mu\text{m}$ 毎に縦に上方向に梁を設置する。左端の辺が終了すると次に一つ左の縦梁で囲まれている領域に横方向の梁を下端から $0.5\mu\text{m}$ 離れたところから $1\mu\text{m}$ ピッチに横方向の梁を設置する。この工程を繰り返すことによって図26(a)-5のパターンが得られる (st 505)。次に縦方向に $0.2\mu\text{m}$ 縮小を行い (st 506)、重複している横方向の梁を抽出し (st 507)、縦方向と横方向の梁を合成する (st 508) ことによって、図26(a)-7のようなメッシュ付きの梁 (st 509) を作製することが可能となる。

【0088】本実施例では梁間隔を $1\mu\text{m}$ とした。設計データ上では梁間隔を $2\mu\text{m}$ にすることによって、十分な機械的強度を得られるものの本実施例のように、パターン周辺と重なる梁を除去することを行っていることから、場所によっては張り間隔が $1\mu\text{m}$ の倍の $2\mu\text{m}$ 近くにまで広がる可能性があることから、パターンデータから求められた梁間隔より短くし、たわみの発生を抑制した。

【0089】(実施例18) 実施例14から17までは、DAを用いての梁の発生方法について説明を行ってきたが、本実施例ではレチクル作製の際に梁を発生させる方法について図27(a)の工程図と図27(b)のプロセスフローを用いて説明する。電子線転写されるパターンはこの $1/4$ の寸法となる。まず、Si (厚さ $1\mu\text{m}$) / SiO_2 (厚さ $0.1\mu\text{m}$) / Si (厚さ $750\mu\text{m}$) からなるSOI基板の裏面のSiをドライエッチングを行うことによって、図27(a)-2に示すようにストラットを残したメンブレンレチクルを作製する (st 601)。次にエッチング工程を行うことにより図27(a)-3のように酸化膜を除去し (st 602)、図27(a)-4のように表面に、物質Aとして Si_3N_4 をケミカルベーパーデポジション (chemical vapor deposition) 工程を行うことによって 50nm 堆積させた (st 603)。

【0090】その後、所定の梁の形状にパターン転写を行った。この際の梁の転写は、少なくとも1つのサブフ

フィールドのメッシュパターンをもつ光リソグラフィ用のレチクルをあらかじめ用意し、パターン転写を行いレジストパターンを形成した(st604)。その後レジストをマスクにしてエッチング工程を行い(st605)、薄膜のメッシュ形状の梁を形成する(st606)。ここでメッシュ上の梁とは、実施例20にて詳細に説明するが、ここでは図29に示すメッシュ形状とした。このときのパターン形状は阿弥陀形状のメッシュとし、梁のピッチは $2\mu\text{m}$ 、梁の寸法は $0.3\mu\text{m}$ とした。ここでは、レチクルパターンの形状によらず形成しているため、メッシュ内にドーナツ型パターンが発生しないように梁間隔を $2\mu\text{m}$ と小さくした。また、このときの梁パターンはストラットの部分のところでは、一部を除き形成しない。これは、レチクル全面に梁を形成した場合、シリコンとの応力の差によりメンブレン内にストレスがかかり、レチクルパターンを形成した際にレチクルが破損することを防止するためである。また、本実施例のようにサブフィールド内全面に梁を設けるような構造にすることによって、サブフィールド内の応力を一様にするのが可能となるため、レチクルパターン形成後のパターンの疎密差によって発生する応力による転写位置のシフトあるいは、レチクルのステージ移動の際のレチクルの振動を防止することが可能となる。

【0091】その後等方的なエッチングを行うことによって梁の寸法を 70nm まで細くし、レジストを除去することによって図27(b)-7を得た。このような工程を行うことによって、非常に微細で機械的強度の高い梁を生成することが可能となった。梁の太さはパターン転写した際に影響を与えないような太さに規定しているため多少の寸法誤差は問題とはならない。ただし、寸法制御性を考慮してあらかじめパターン幅を小さくすることが好ましい。

【0092】また、物質Aとしてここでは Si_3N_4 を用いたが、単結晶Siと異なる物質であれば特に問題はない。さらに、物質Aとしてはダイヤモンドライクカーボンのように、Siよりも電子線の散乱が小さい材質であればさらによい。これは、電子線の散乱が小さい物質を使用することによって、梁が転写されにくくなるためである。また、本実施例では電子線転写レチクル用の梁のパターン転写に光リソグラフィを用いたが、電子線直接描画を用いてもよい。梁のパターン転写に光リソグラフィを用いた場合には、高いスループットにて作製することが可能である。

【0093】一方、電子線リソグラフィを用いた場合には、解像性が高いことから図27(a)-5の際の梁の太さをレジストパターンの転写の際にあらかじめ細くすることが可能となる。例えば光リソグラフィを用いた場合には 300nm 程度のパターン幅であったが、電子線リソグラフィの場合には 100nm にすることが可能となる。こうすることによって、図27(a)-6の等法

エッチング量を 30nm にまで小さくすることが可能となることから、梁の加工精度を高くすることが可能となる。また本実施例ではストラットを形成した後に梁の作製を行なった。このようにストラットを形成した後に梁を作製することによって、ストラット作製後に強い洗浄を行なうことが可能となり、異物によるマスク欠陥の可能性を低減することが可能となる。

【0094】逆に梁を形成した後にストラット形成してもよい。この場合、薄いメンブレン上に膜応力の大きい物質Aをつけることによって、メンブレンが破損されることを防止する効果がある。また、梁を細くする等方エッチングは、レチクルパターンを形成した後に行ってもよい。これは細い梁を形成した後の工程数を削減することによって、梁が破損されることを防止することが可能となる。

【0095】(実施例19) 本実施例では、レチクル作製の際に梁を発生させる他の方法について図28(a)の工程図と図28(b)のプロセスフローを用いて説明する。電子線転写されるパターンはこの $1/4$ の寸法となる。まず、Si(厚さ $2\mu\text{m}$)/ SiO_2 (厚さ $0.2\mu\text{m}$)/Si(厚さ $750\mu\text{m}$)からなるSOI基板の裏面のSiをドライエッチングを行うことによって、図28(a)-2のようにストラットを残したメンブレンレチクルブランクスを作製する(st701)。以下実施例18と同様に、エッチング工程による酸化膜除去(図28(a)-3及びst702)、物質Bとして Si_3N_4 をケミカルベイパーデポジション工程によって 100nm 堆積させ(図28(a)-4及びst703)、所定の梁の形状にパターン転写を行った(図28(a)-5及びst704)。

【0096】さらにエッチング工程を行い(図28(a)-5及びst705)、この次に工程として物質Aとして、チタンをケミカルベイパーデポジションにより堆積させ(図28(a)-6及びst706)、次にケミカルメカニカルポリッシング(Chemical Mechanical Polishing)工程により Si_3N_4 上のチタンを除去する(図28(a)-7及びst707)。さらにエッチング工程によってSi上にある Si_3N_4 を除去する(図28(a)-8及びst708)。このような工程を行うことによって、非常に微細で機械的強度の高い梁を生成することが可能となった(図28(a)-8及びst610)。また、物質Aとしてここではチタンを用いたが、単結晶Siと異なる物質であれば特に問題はない。本実施例のように物質Aのパターンを作製した後物質Bをケミカルメカニカルポリッシング法により作製することから、物質Bをエッチングする必要がない。従って、物質Bの材料の選択の幅を広げることが可能となった。

【0097】(実施例20) 本実施例では、メッシュの形状について図29を用いて説明する。図29にステン

シルレチクル上での梁の配置を示している。ここでは平行な縦線にそれを結ぶ横線を互い違いの梯子にて並べた阿弥陀状の梁を用いた。ここでは、ストラットの寸法は 0.17mm であり、梁の寸法は 100nm とした（いずれもマスク上寸法）。図に示しているように、その機械的強度の強いストラットと梁10をつなげることによって、ストラット内のサブフィールドも高い強度を得ることが可能となる。またストラット上全面に梁10は配置されていない。ここでの梁は、メンブレン部のSiと異なる材質を用いていることから、梁がレチクル全面に残されている場合には強い膜応力が発生し、それに伴う歪によって転写パターンに位置ずれが生じる。そのため、ストラット部上で梁を除去することによって大きな歪が発生しないようにすることが可能となる。

【0098】このメッシュ上の梁を作製することは、光リソグラフィ装置を用い、あらかじめメッシュ作製のレチクルを用意しておけば容易に作製できレチクル作製時間の短縮に有効である。またパターン境界部と梁が重なった場合、寸法シフトを生じる可能性がある。その場合には、電子線直接描画のようにレチクルレスにてパターン描画を行い、レチクルパターンによって梁を変化させる、あるいは梁の削除、増加を行う。さらには梁の交点をシフトさせることも可能である。このように、パターンデータに合わせて、梁を変化させることにより、梁が転写されにくいあるいは、梁が転写されてもデバイス特性への影響が少なくなる。

【0099】さらに梁メッシュの形状を図30を用いて説明する。パターンの方向性が横の場合には図30

(a)に示すような縦メッシュを用いる。縦・横のパターンが混在している場合には、図30(b)のような単純メッシュを用いる。単純メッシュの場合には、梁の交差するところで4重点があることから、4重点でのパターン形状劣化が問題になることがある。その場合には、図30(c)で示しているような平行な縦線にそれを結ぶ横線を互い違いの梯子にて並べた阿弥陀メッシュを用いることによって、3重点となり梁のパターン転写への影響を低減することが可能である。図30(d)では、斜めの梁を用いた。半導体等の素子は基本的に縦と横のパターンから形成されている。そのため、斜めの梁にすることによって、パターンと平行な梁をなくすことが可能となることから、梁の転写のパターンへの影響を抑制することが可能となる。特にこの角度として 45° あるいは -45° のときが、縦線・横線の両方に対しバランスがよく優れている。あるいは斜めの梁だけでは機械的強度が弱い場合には、図30(e)のように単純メッシュあるいは阿弥陀形状にすることによって梁の強度向上を行うことが可能となる。単純メッシュの別の例として、図30(f)に示すような六角形の形状としてもよい。

【0100】(実施例21)本実施例では同一レチクル

を用いてのシフト露光を行うことによって梁の転写を防ぐ方法を図18を用いて説明する。まず図18(a)に示すようなパターンがあった場合、図15(b)に示すような斜めの梁を発生させた。梁は少なくとも同一サブフィールド内では同一方向、本実施例では 45° の斜め梁であり、梁の寸法はウェハ上寸法にて 20nm となるようにした。ここで、梁の方向を 45° としたのは半導体装置は縦と横の矩形のパターンからなることが多いためである。

【0101】さらに、一度パターン転写した後に、ビーム偏向によって梁の方向と直交方向に 20nm ずらした位置に再度同一レチクルでパターン転写を行った(図18c)。ここでの一回あたりの照射量は一度照射する場合の $1/2$ とした。この2回の露光において中心座標は保持する。このようにシフト露光を行うことによってより梁の転写を防止することが可能となる(図18

(d))。さらに重ね露光によりサブフィールドごとの接続を向上する効果もある。また本実施例では、梁の方向として 45° としたがそれに限らない。例えば、梁の方向として縦と横と混在させてもよく、ただしその場合には2方向の梁に対し最も大きな離角となる方向、ここでは $+45^\circ$ あるいは -45° の方向にシフト露光を行う。また、このとき作製するパターンは2度露光を考慮したパターンサイズとすることによってより梁によるくびれの影響を低減することが可能となる。

【0102】本実施例ではシフト露光としてビーム偏向によって行った。その他にレチクルを移動させてシフトさせることも可能である。あるいは、図19に示すように新たに偏向シフト用レンズを設けることによって偏向することによって実現可能である。このときのシフト用レンズは2つのレンズパラメータを用意し、きり変えることによってより簡単にシフト露光を行うことが可能となる。あるいは、図25のように交流電源につなげることによって、偏向シフト用レンズにより転写位置を振動させ、それに同期させてパターン転写を行ってもよい。なお、例えばレチクル上電流値が $25\mu\text{A}$ 、レジスト感度が $6\mu\text{C}/\text{cm}^2$ 、サブフィールド $250\mu\text{m}^2$ の場合には1ショットに要する時間は $150\mu\text{sec}$ となり、単純には交流電源の周波数は 3.3kHz でよい。しかし、この値は装置設計によって変わる。周波数を高く(例えば 100kHz)することによりスループットを向上することができる。

【0103】以上は一方向のみの転写位置のシフトであったが、照射位置を一点を中心とした円運動させてもよい。この円運動によって梁の方向に関係なく梁の影響を緩和することが可能となる。このときのビームボケが 30nm であった場合には半径 10nm の円運動をさせることにより約 20nm のビームボケを発生させる。従って、トータルのビームボケとして $(30^2 + 20^2)^{1/2}$ から 36nm 相当のビームボケを考慮して、設計

データを変形させることにより、転写パターン形状を所望の形状にしてもよい。

【0104】あるいは以上のようなシフト露光は、ビームのボケを生じることとなり、極微細パターンを形成することが困難となる場合が生じる。ゲートパターンのような極微細なパターンを形成する必要がある層では、極細線パターンを形成する方向を一方向とし、シフト露光はその極微細パターンと同方向とすることによって、極微細パターンについてはシフト露光によるビームボケの影響をなくすることが可能となる。

【0105】(実施例22) 次に、具体的な半導体集積回路装置の製造例を説明する。ここでは、例えばゲートアレイ、スタンダードセル等のようなセミカスタム方式で製造される半導体集積回路装置、半導体基板上にカスタムI/O (Input/Output) 回路、カスタム論理回路またはI/F (インターフェイス) 制御回路を有する半導体集積回路装置の製造方法に本発明を適用する場合を説明する。図31は、半導体集積回路装置における論理素子の一部を示す平面図である。

【0106】この論理素子は、図31に示した図中の一点鎖線で囲まれた単位セル3310によって構成されている。この単位セル3310は、例えば2個のnMISQnと、2個のpMISQpとから構成されている。nMISQnは、半導体基板上に形成されたp型ウエル領域PWの表面のn型半導体領域(拡散層)11n上に、pMISQpは、n型ウエル領域NWの表面のp型半導体領域(拡散層)11p上に、それぞれ形成されている。ゲート電極12Aは、nMISQnおよびpMISQpに共有となっている。ゲート電極12Aは、例えば低抵抗多結晶シリコンの単体膜、低抵抗多結晶シリコン膜の上部にシリサイド層を設けたポリサイド構造、低抵抗多結晶シリコン膜上に窒化タングステン等のようなバリア膜を介してタングステン等のような金属膜を堆積してなるポリメタル構造あるいは絶縁膜に掘られた溝内に窒化チタン等のようなバリア膜を堆積し、さらにその上に銅等のような金属膜を埋め込むことで形成されたダマシングゲート電極構造で構成されている。ゲート電極12Aの下方の半導体基板部分はチャネル領域となる。

【0107】配線13Aは、例えば高電位(例えば3.3Vまたは1.8V程度)側の電源配線であり、コンタクトホールCNTを通じて2個のpMISQpのp型半導体領域11pと電気的に接続されている。また、配線13Bは、例えば低電位(例えば0V程度)側の電源配線であり、コンタクトホールCNTを通じて1個のnMISQnのn型半導体領域11nと電気的に接続されている。配線13Cは、2入力NANDゲート回路の入力配線であり、コンタクトホールCNTを通じてゲート電極12Aの幅広部分で接触し電気的に接続されている。配線13Dは、コンタクトホールCNTを通じてn型半導体領域11nおよびp型半導体領域11pの両方に電

氣的に接続されている。配線14Aは、コンタクトホールCNTを通じて配線13Dと電気的に接続されている。

【0108】ここで、各種配線13A~13D、14Aを形成する前における単位セル3310の平面図を図32に示す。この単位セル3310は、例えばNANDゲート回路やNORゲート回路等のような論理素子を構成するのに共通する基本的な構成部であり、この単位セル3310以後の配線を適宜選択することにより上記論理回路を効率良く形成できるように構成されている。なお、本発明は、多数のCMIS (Complementary MIS) 回路を接続する構成にも拡張される。

【0109】そこで、このような基本的な構成部である単位セル3310の作製までの工程を以下説明を行なう。まず単位セル3310の領域を作製するためのレチクルの拡大図を図33に示す。図33(a)では、素子分離層の形成を行う。ここでは、電子線転写を用いてパターン転写を行う。図33(a)の電子線転写用レチクルER1は、ウエハ(半導体基板)に上記単位セル3310内の素子分離部および活性領域を形成する際に用いるレチクルである。なお、電子線遮光部が斜線で示した領域である。この電子線転写用レチクル基板の主面上には、例えば平面長方形に形成された2個の開口部3318が非開口部3317内に、互いに平行に所定の距離を隔てて配置されている。ここでは電子線ネガ型レジストを使用する。図33(b)のPR2は、光リソグラフィを用い、単位セル3310内のn型ウエル領域NWを形成する際に用いる光リソグラフィ用レチクルである。このレチクル基板の主面上には、遮光膜3329が堆積され、その一部に、例えば平面長方形の光透過パターン3328が開口形成されている。遮光膜3329は、クロム等のメタルからなり、ウエハ上のn型ウエル領域以外の領域を遮光するように形成されている。図33(c)のPR3は光リソグラフィを用い、単位セル3310内のp型ウエル領域PWを形成する際に用いるレチクルである。このレチクル基板の主面上には、遮光膜3329が堆積され、その一部に、例えば平面長方形の光透過パターンが開口形成されている。この場合、遮光膜3329は、ウエハ上のp型ウエル領域以外の領域を遮光するように形成されている。図33(b)及び(c)では、光リソグラフィ用ポジ型レジストを使用、レジストの種類やレジスト処理条件等は変化するものの工程については電子線転写法のものと同様に行えばよい。図33(d)のER4は電子線転写用レチクルであり、単位セル3310内のゲート電極12Aを形成する際に用いるレチクルである。このレチクル基板の主面上には、例えば両端に幅広部を有する帯状の2本の開口パターンが互いに平行に形成されている。また、ここでの開口パターンのパターン長が長くなるため、たわみ防止のため梁3319を設置した。この梁は、パターンを矩

形分割した後に、活性領域上とゲートパターンとの重なり部分には梁を設置しないようにしている。またここでは電子線ネガ型レジストを使用した。次に、図32の破線3327に沿った断面図を用いてnMISQnおよびpMISQpを形成するまでの工程を図34及び図35によって説明する。なお、ここでは光露光の際にポジ型レジストを、電子線露光ではネガ型レジストを用いた。光リソグラフィの場合、特別な場合（シフターエッジ法など）でネガ型レジストを使用するが、通常はポジ型レジストを用いる。これはポジ型レジストの方が解像性や感度が優れていたためである。一方、電子線直接描画の場合には、ショット数を減らすためにポジ・ネガ両方のレジストから選択して使用されている。電子線転写の場合には、パターンに依存せずショット数は変化しないためポジネガ両方どちらでもいいように思えるが、クーロン効果の影響があるために、直接描画と同様パターン描画率の少ない方のレジストを使用する方が好ましい。さらに、描画率は層によって変化するため層によりレジストの種類を変えることが好ましい。例えば、ライン系（配線層、ゲート層など）の場合にはネガ型、ホール系（コンタクト層）の場合にはポジ型レジストが好ましい。

【0110】まず、例えばp型のシリコン単結晶からなるウエハを構成する半導体基板SUBの主面（デバイス面）上に、例えば酸化シリコン膜からなる絶縁膜S2を酸化法によって形成した後、その上に、例えば窒化シリコン膜からなる絶縁膜S1をCVD（Chemical Vapor Deposition）法等によって堆積し、さらに、その上に、レジスト膜3330を塗布する（図34（a））。続いて、上記通常のレチクルER1を用いて半導体基板SUBに対して転写処理を施した後、現像処理等を施すことにより、半導体基板SUBの主面上にレジストパターン3331を形成する（図34（b））。レジストパターン3331は、素子分離領域が露出され、活性領域が覆われるように平面的に形成されている。その後、そのレジストパターン3331をエッチングマスクとして、そこから露出する絶縁膜S1、S2を順に除去し、さらに半導体基板SUBの主面部を除去することにより半導体基板SUBの主面部に溝3332を形成した後、レジストパターン3331を除去する（図34（c））。

【0111】次いで、半導体基板SUBの主面上に、例えば酸化シリコンからなる絶縁膜3333をCVD等によって堆積した後（図34（d））、半導体基板SUBに対して、例えば化学機械研磨法（CMP；Chemical Mechanical Polish）等によって平坦化処理を施すことにより、最終的に、例えば溝型の素子分離部SGを形成する（図34（e））。本実施の形態では、素子分離部SGを溝型分離構造（トレンチアイソレーション）としたが、これに限定されるもの

ではなく、例えばLOCOS（Local Oxidation of Silicon）法によるサブフィールド絶縁膜で形成しても良い。

【0112】続いて、同様に光リソグラフィ用のレチクルPR2を用いてパターン転写を行う。このときのレチクルPR2のパターンはn型ウエル領域NWが露出され、それ以外のクロム等の遮光膜によって領域が覆われるように平面的に形成されている。その後形成されたレジストをマスクにしてイオン打ち込み、例えばリンまたはヒ素等を半導体基板SUBにイオン打ち込みをすることにより、n型ウエル領域NWを形成し、レジストパターンを除去することによって図35（a）のような。

【0113】また、同様に光リソグラフィ用のレチクルPR3を用いて露光処理を施すことに、p型ウエル領域PWが露出されそれ以外の領域が覆われるようなレジストパターンを形成した後、そのレジストパターンをイオン注入マスクとして、例えばホウ素等を半導体基板SUBにイオン注入することにより、p型ウエル領域PWを形成し、レジストパターン17cを除去する（図35（b））。

【0114】次いで、半導体基板SUBの主面上に、例えば酸化シリコン膜からなるゲート絶縁膜3335を熱酸化法等によって、例えば厚さ（二酸化シリコン換算膜厚）3nm程度に形成し、さらに、その上に多結晶シリコン等からなる導体膜3334をCVD法等によって堆積する（図35（c））。続いて、電子線転写用のレチクルER4を用いて電子線転写処理を施すことにより、レジストパターンを形成し、続けてエッチングすることで、ゲート電極GT及びゲート酸化膜GIを形成する（図35（d））。その後、ソースやドレイン領域、配線層としても機能するnMISQn用の高不純物濃度のn型半導体領域N⁺と、pMISQp用の高不純物濃度のp型半導体領域P⁺を、イオン打ち込みや拡散法により、ゲート電極GTに対して自己整合的に形成した（図35（e））。

【0115】以後の工程で、配線を適宜選択することによりNANDゲート回路やNORゲート回路を形成できる。本実施の形態では、例えば図36に示すNANDゲート回路NDを作製した。図36（a）は、そのNANDゲート回路NDのシンボル図、（b）はその回路図、（c）はそのレイアウト平面図を示している。ここには、2つの入力X1、X2および1つの出力Fを有するNANDゲート回路NDが例示されている。

【0116】このNANDゲート回路NDのコンタクトホールおよび配線パターンを転写するため工程図を次に示す。

【0117】図37は、図31のコンタクトホールCNTをウエハ上に転写するための電子線転写用のレチクルER5のパターンを例示している。非開口パターン3317内の開口パターン3318がコンタクトホールCNT

Tを形成するパターンとなる。このときレジストは電子線ポジ型レジストを使用した。図38(a)のER6A及び(b)のER6Bは、電子線転写用の相補レチクルのパターンであり、2つをレチクルを基板上の同一箇所転写することにより、図31の配線層13A~Dを形成する。

【0118】次に、これらレチクルER5及びER6A、ER6Bを用いた半導体集積回路装置の製造工程を図39によって説明する。なお、図39は、図36(c)の破線3336に沿った断面図である。

【0119】まず、上記したように半導体基板SUBの主面にnMISQnおよびpMISQpを形成した後、その主面上に、例えばリンがドーパされた酸化シリコン膜からなる層間絶縁膜3343をCVD法等によって堆積する(図39(a))。続いて、その層間絶縁膜3343上に、電子線ポジ型レジストを塗布した後、これにレチクルER5を用いた電子線転写処理を施すことにより、コンタクトホール形成領域が露出され、それ以外が覆われるようなレジストパターンを形成後、そのレジストパターンをエッチングマスクとして、層間絶縁膜にコンタクトホールCNTを形成し、レジスト除去する(図39(b))。

【0120】次いで、半導体基板SUBの主面上に、例えばアルミニウム、アルミニウム合金または銅等のような導体膜3345をスパッタリング法等によって堆積し、化学機械研磨法(CMP; Chemical Mechanical Polish)等によって平坦化処理を施す(図39(c))。続いて、導体膜3345上に電子線ネガ型レジスト膜3346を塗布し、これにレチクルER6A及びER6Bを用いて電子線転写処理を施すことにより、配線形成領域が覆われ、それ以外の領域が露出されるようなレジストパターンを形成後、導体膜3345をエッチングすることにより、配線層を形成する(図39(d)、図39(e))。以後、半導体基板SUBの主面上に層間絶縁膜3348をCVD法等によって堆積し、更に、他のレチクルを用いてスルーホールおよび上層の配線3349を形成した(図39(f))。部品間の結線も類似の工程を必要な分だけ繰り返したパターン形成により行ない、半導体集積回路装置を製造した。

【0121】以上は、2入力NANDゲート回路の製作例である。本実施例のようにパターンの層によって転写方式をかえることにより、高い寸法精度かつ、高いスループットにてパターン形成を可能とした。

【0122】上記は全て、荷電粒子線として電子線を用いた場合のものであるが、電子線・イオン線を含めた荷電粒子線置き換えても原理上問題ない。このときイオン線の場合に、レジストの感度を向上することが可能であり、またレジスト中での散乱が少ない事からより解像性の高いパターンを得ることが可能となる。一方、電子線

の場合には、レチクルの非開口部に入射し散乱されても、非常に軽いためにレチクルに与えるダメージは非常に小さく、従ってレチクル寿命を長くすることが可能となる。

【0123】また、上記は半導体装置の製造方法に関するものであったが、特にそれに制限されることはない。例えば液晶ディスプレイ等、エネルギー線を照射することによって感応基板上にパターン転写を行うものであれば同様な手法を用いることによって応用可能である。

(実施例 23) チップサイズ1mm角のシステムLSIパターンの1対4転写レチクルの作製を行なった。まず始めに1回で転写できる最大値の0.25mm角より小さい0.20mm角にパターンを分割した。分割時に分割線にあるパターンの位置精度や分割に伴って発生する微細パターンを避けるために、図40に示すように分割線を最大片側0.01mmまで外側にずらした。分割線の外側に展開する長さは、ステンシルレチクルのレチクルパターン形成部分の厚さと同等のレチクルパターン寸法の33倍より大きい長さを採用した。ステンシルレチクルのパターン部分のたわみによる変形が起きない様にするための実験データよりレチクルパターン形成部分の厚さと同等のレチクルパターン寸法の短辺に対する長辺の比率が33倍以下になるよう決定した。図41のフローチャートに示されるように平面寸法の縦横比が33倍を超えるとレチクルデータが分割されるため必ずパターンが切れる。この切れ目を利用してステンシルレチクルを次の露光部分に移動できる。または、パターンの途中であってもパターン寸法がステンシルレチクルの厚さと同等以上であればレチクル分割を実施しても接続精度上の問題はない。今回は、ステンシルレチクル膜厚を200nm膜厚の材料を使用予定なのでレチクル分割の拡大量は、片側最低6.6μm以上あれば良いことになる。

【0124】その結果チップ内を25区画に分割した。25区画に分割する作業は、人手で行なっても良いし、あらかじめプログラムに組み込んでおいてコンピュータで実行しても良い。本実施例では、1つのチップを複数の電子線用ステンシルレチクルに分割して作製する方法を示しているが、上記チップ内を複数のレチクルに分割する方法は、紫外線露光装置やX線露光装置におけるチップ内分割レチクル作製方法に適用できることは言うまでもない。

【0125】上記分割方法をプログラム化し、コンピュータに組み込み、本実施例で用いる分割元データ4301を図43のように変換し、相補変換データ4302の配置シュミレーションを実施した。

【0126】レチクル土台となる8インチウエハ上に転写レチクルパターンを配列する配列方法として次の3つの方法が考えられる。

【0127】図に示しているように相補レチクルの配列

を縦方向に並べて、転写先一個所あたりの最大相補レチクル枚数分に合わせてすべての配列ピッチを長く取る。なおここのマスク上でのサブフィールド配列ピッチを1mmとした。この場合は最大枚数3枚なので3.0mmピッチで配列された、1チップ分のレチクルサイズは、縦15mm、横5mmになる。この場合レチクル枚数が1、2枚ですむところでは、レチクルの無いところが出る。

【0128】次に図44のように相補レチクルの配列を横方向にならべることも可能である。一般的にレチクル全体は、縦方向に移動しながら照射するように出来ているので、ウエハ描画中に横の動きが頻発するのはスループットや位置精度の点で問題がある。

【0129】次に図45のように相補レチクルを縦に隙間なく並べることも可能である。この場合、チップ内の相補レチクル情報をデータとして外部記憶装置や転写レチクルの余白などに登録管理する必要がある。しかし1チップ分のレチクルの必要面積が少なくなり、レチクル土台となる8インチウエハ上に複数のチップのレチクルパターンを作ることが出来る。但し、転写位置によりレチクル照射回数が異なるため、試料ステージの動作速度とレチクルステージの動作速度の関係が複雑になる。本実施例では、相補レチクルの配列は、ステンシルレチクル移動方向にあわせ、最大相補レチクル枚数分に合わせて配列ピッチ寸法を決定した。この配列は、ステンシルレチクルの移動速度を一定にできる為、試料ステージの移動速度と同期させやすい。

【0130】以上で本実施例におけるレイアウト図からステンシルレチクルパターンに変換する方法を示した。次にステンシルレチクルの制作方法を図42に示す。

【0131】直径8インチのシリコン基板(厚さ725 μ m、面方位(100))4201にレジスト4202を塗布し(図42(a))パターンを電子線描画で転写した(図42(b))。次にその基板にシリコンエッチングを実施し段差をつけた(図42(c))。次に表面全体に白金をメッキ工程を行ない、白金4203を200nm被着した(図42(d))。白金の被着したシリコン基盤表面を下地のシリコン基板が出るまで機械的研磨法(CMP)で削り平坦化を実施した(図42(e))。シリコンエッチングで作製された溝に白金が残っていることを確認し、シリコン基板の裏面エッチングを実施した。始めにシリコン基板の厚さの99%迄は、超音波で震動している角柱の先端に粉末ダイヤモンド等の研磨剤溶液を供給する装置(図示せず)で穴を掘った。シリコン基板の厚さの99%を掘る工程は、裏面レジスト塗布機と裏面露光装置で裏面の開口予定部分以外をマスクングしておき異方性リアクティブドライエッチングにより穴を掘っても良い(図42(f))。最後に残ったシリコンはKOHウエットエッチングで除去した(図42(g))。あらかじめ残しておくストラッド

の幅は、KOHエッチングで生じるテーパの長さを引いた長さであることは言うまでもない。ウエットエッチング後の各種洗浄の仕上げ水洗の最後に水より表面張力の小さいエタノールで白金レチクルをリンスし乾燥した。白金レチクルを露光装置取り付け用レチクル支持ホルダーに取り付け、走査形電子顕微鏡(SEM)にてパターン平面形状を観察した。白金レチクルの厚みが200nmと薄い為、走査型電子線顕微鏡にてレチクルの穴の透過状況まで観察できた。従来のシリコンにてレチクルを作製した場合には2 μ mと膜厚が厚いことから、走査型電子線顕微鏡では深部までの検査が困難であった。このように電子線の散乱係数の高い金属にてレチクルを作製することにより、レチクルの厚さを薄くことが可能となり、その結果、レチクルの欠陥検査が容易となった。

【0132】

【発明の効果】本題によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下の通りである。

(1) 本発明によれば、光リソグラフィ工程と電子線転写工程の使い分けを効果的に行うことが可能となり、さらに電子線転写法を選択したときにおいても、相補レチクルと非相補レチクルの使い分けを効果的に行うことによって、各品種・各層毎に必要な要求精度、要求解像度を満たしながら、最大限のスループットが得られるようになり半導体装置の生産性向上をさせることが可能となった。

(2) 本発明によれば電子線転写法を用いる場合において、開口パターンを接続する梁の寸法、梁間の間隔、梁の発生箇所、梁の形状等を規定することによって、たわみのないレチクルを提供することを可能とし、その結果レチクル作製の歩留まり、あるいはレチクルの耐久性も向上することとなり、その結果半導体装置の製造コストを低減する。

(3) 本発明によれば、DA(Design Automation)機能を用いて演算処理を行うことにより、自動的に梁を発生させ、高速にレチクルデータを作成することが可能となり、その結果、レチクルのレイアウト設計時間を短縮することが可能となる。

(4) 本発明によれば、梁が使用された電子線転写レチクルにおいて、同一箇所を同一サブフィールドを用い、かつシフト露光を併用することによって梁が転写されることを防ぐことが可能となり、よりレイアウトデータに忠実なパターン形成を可能とすることによって高信頼性の半導体装置を作製することが可能となる。

【図面の簡単な説明】

【図1】本発明の一実施例の半導体装置製造方法のフローを示す図である。

【図2】電子線転写法におけるレチクルの構造を示す図である。

【図3】電子線転写におけるレチクルの作製フローを示す図である。

【図4】本発明の一実施例のレチクルデータの生成フローを示す図である。

【図5】電子線転写用レチクルにおけるたわみの開口寸法依存性を示す図である。

【図6】電子線転写用レチクルにおけるたわみの開口パターン長依存性を示す図である。

【図7】本発明の一実施例の電子線転写用レチクルにおける折れ曲がりパターンでの梁の発生箇所を示す図である。

【図8】本発明の一実施例の電子線転写用レチクルにおけるドーナツ型パターンでの梁の発生箇所を示す図である。

【図9】本発明の一実施例の電子線転写用レチクルにおけるドーナツ型パターンでの梁の発生箇所を示す図である。

【図10】本発明の一実施例の電子線転写用レチクルにおける連続する長パターンでの梁の発生箇所を示す図である。

【図11】本発明の一実施例の電子線転写用レチクルにおける梁の発生制限場がある場合の梁の発生箇所を示す図である。

【図12】本発明の一実施例の電子線転写用レチクルにおける長パターンでの梁の発生箇所を示す図である。

【図13】電子線転写レチクル用梁において、異なるビームボケ量における転写パターンのくびれ量の梁寸法依存性を示す図である。

【図14】電子線転写レチクル用梁において、異なるマスクバイアス量における転写パターンのくびれ量の梁寸法依存性を示す図である。

【図15】電子線転写レチクル用の突起状梁における、転写パターン寸法のビームボケ量依存性を示す図である。

【図16】本発明の一実施例の梁の発生フローを示す図である。

【図17】本発明の一実施例の梁の発生フローを示す図である。

【図18】本発明の一実施例の梁のあるレチクルでの転写方法を示す図である。

【図19】本発明の一実施例の電子線転写方法を示す図である。

【図20】従来の電子線転写用レチクルにおける問題点を示す図である。

【図21】本発明の一実施例の梁の発生フローを示す図である。

【図22】本発明の一実施例の梁の発生フローを示す図である。

【図23】本発明の一実施例の梁の発生フローを示す図である。

【図24】本発明の一実施例の梁の発生フローを示す図である。

【図25】本発明の一実施例の電子線転写方法を示す図である。

【図26】本発明の一実施例の梁の発生フローを示す図である。

【図27】本発明の一実施例の梁の発生フローを示す図である。

【図28】本発明の一実施例の梁の発生フローを示す図である。

【図29】本発明の一実施例の梁の発生箇所を示す図である。

【図30】本発明の一実施例のメッシュ状梁の形状を示す図である。

【図31】本発明の一実施の形態である半導体集積回路装置の一例の要部平面図である。

【図32】図31の単位セルの要部平面図である。

【図33】(a)～(d)は図31の半導体集積回路装置の製造に用いた種々のレチクルの要部平面図である。

【図34】図32の半導体集積回路装置の製造工程中における要部断面図である。

【図35】図34に続く図32の半導体集積回路装置の製造工程中における要部断面図である。

【図36】(a)は図31の半導体集積回路装置を構成するNANDゲート回路のシンボル図、(b)は(a)の回路図、(c)は(a)のパターンレイアウトを示す平面図である。

【図37】図36のNANDゲート回路におけるホールパターンを転写する際に用いた電子線転写レチクルの一例の要部平面図である。

【図38】図36のNANDゲート回路におけるラインパターンを転写する際に用いた電子線転写レチクルの一例の要部平面図である。

【図39】図36のNANDゲート回路を形成するための半導体集積回路装置の製造工程中における要部断面図である。

【図40】本発明の一実施例の電子線転写レチクルの分割方法を示す図である。

【図41】本発明の一実施例の電子線転写レチクルの分割フローを示す図である。

【図42】本発明の一実施例の電子線転写用相補レチクルの作製方法を示す図である。

【図43】本発明の一実施例の電子線転写用相補レチクルの配列方法を示す図である。

【図44】本発明の一実施例の電子線転写用相補レチクルの配列方法を示す図である。

【図45】本発明の一実施例の電子線転写用相補レチクルの配列方法を示す図である。

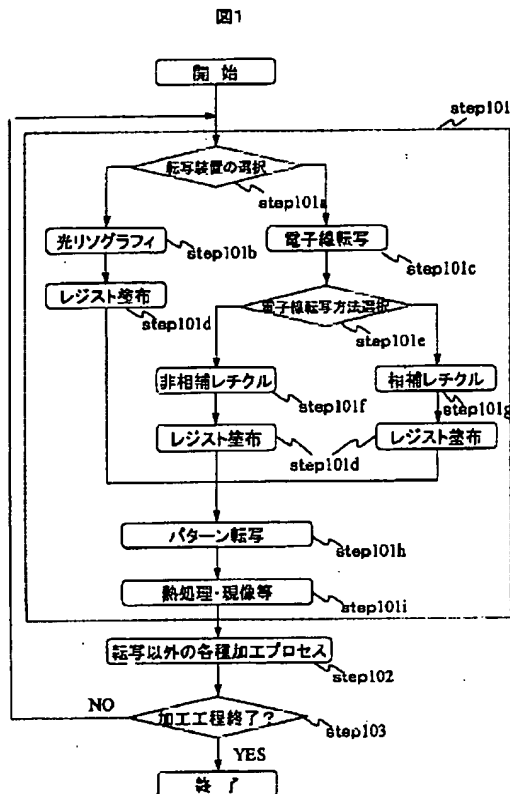
【符号の説明】

10…境界領域、11…梁、201…サブフィールド、

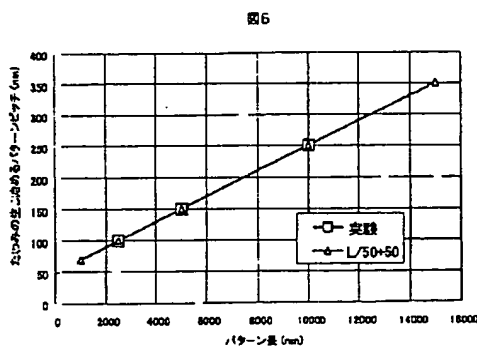
202…ストラット、801…非開口部、802…開口部、803…梁、901…非開口部、902…開口部、1001a～f…梁、1002a～f…転写パターン、1101…開口パターン、1102…活性領域、1103b～f…梁、2001…開口部、2002…非開口部、3310…単位セル、3317…非開口部、3318…開口部、3319…梁、3328…光透過パターン、3329…遮光膜、3330…レジスト膜、3331…レジストパターン、3332…溝、3333…絶縁膜、3334…導体膜、3335…ゲート絶縁膜、3343…層間絶縁膜、3345…導体膜、3346…レジスト膜、3348…層間絶縁膜、3349…配線、SG

…素子分離部、PW…p型ウエル領域、NW…n型ウエル領域、GT…ゲート絶縁膜、GI…ゲート酸化膜、ND…NANDゲート回路、X1、X2…入力、F…出力、11n…n型半導体領域、11p…p型半導体領域、12A…ゲート電極、13A～13D…配線、14A…配線、CNT…コンタクトホール、PR2、PR3…フォトリソグラフィ用レチクル、ER1、ER4、ER5…電子線転写用非相補レチクル、ER6A、ER6B…電子線転写用相補レチクル、SUB…半導体基板、S1、S2…絶縁膜、4201…シリコン基板、4202…レジスト、4203…白金、4301…分割元データ、4302…相補変換データ。

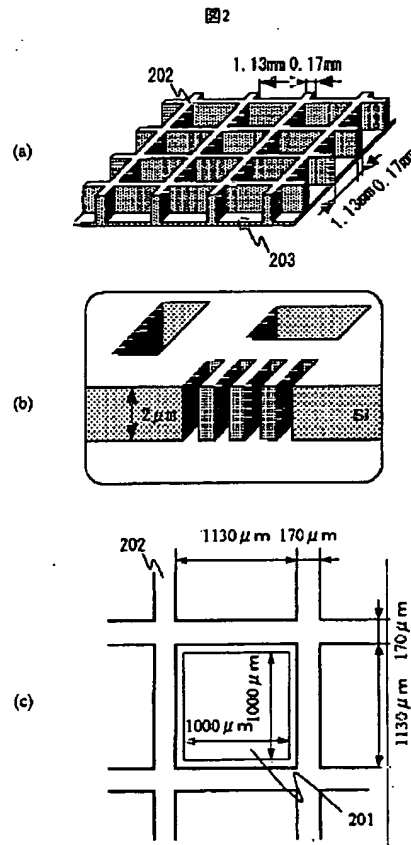
【図1】



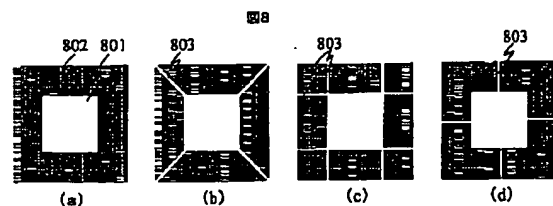
【図6】



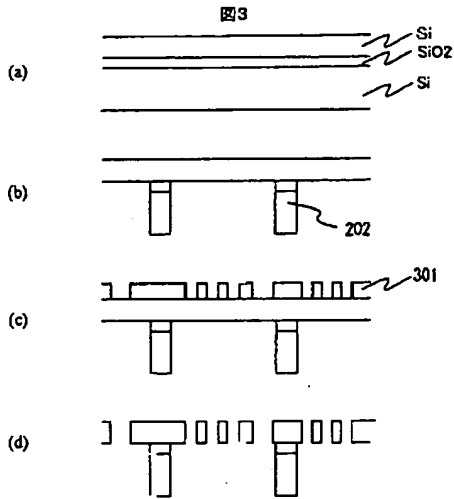
【図2】



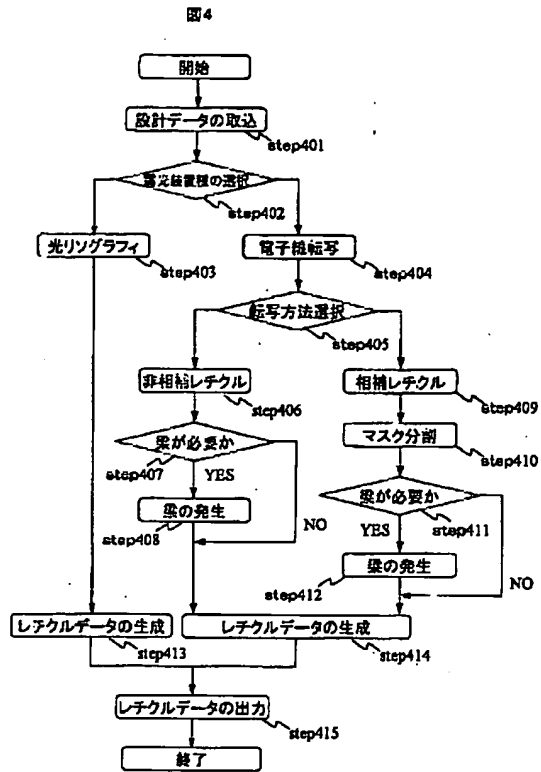
【図8】



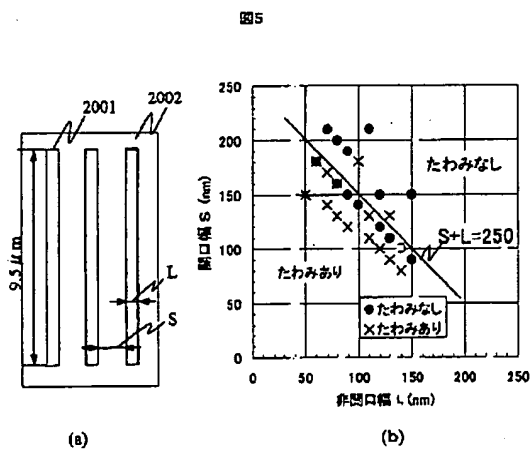
【図3】



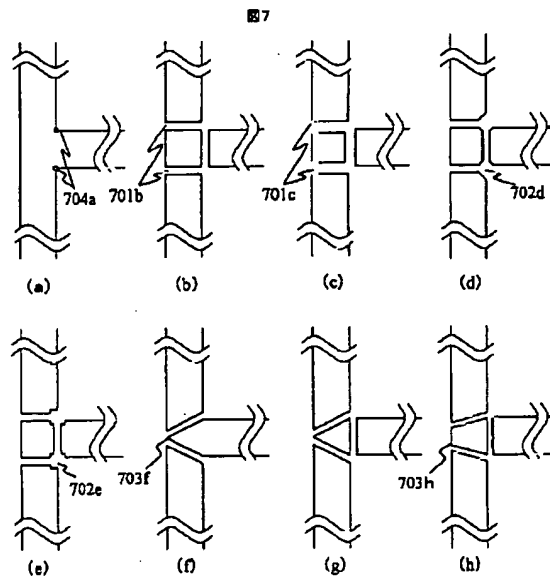
【図4】



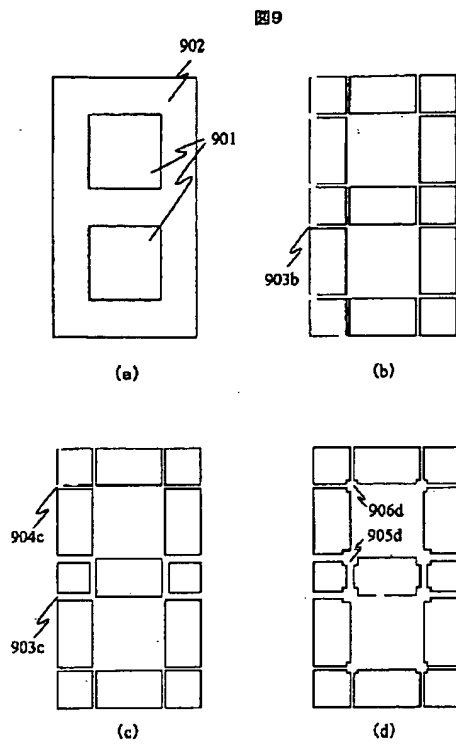
【図5】



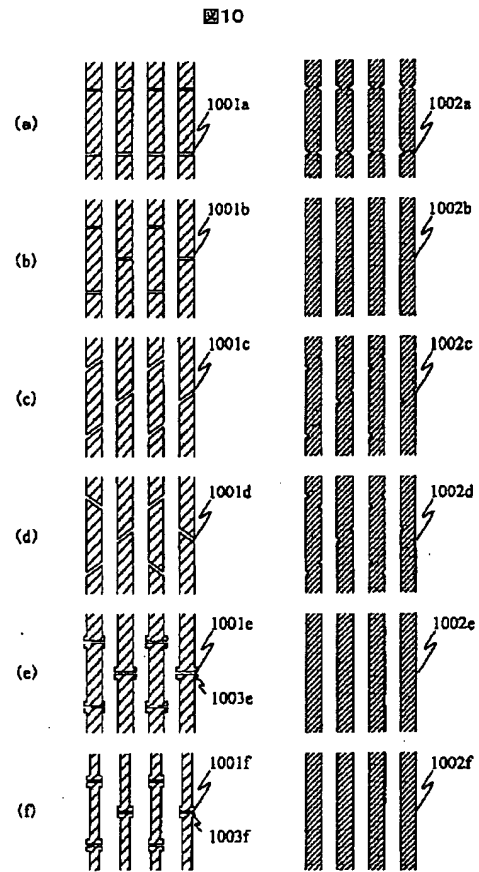
【図7】



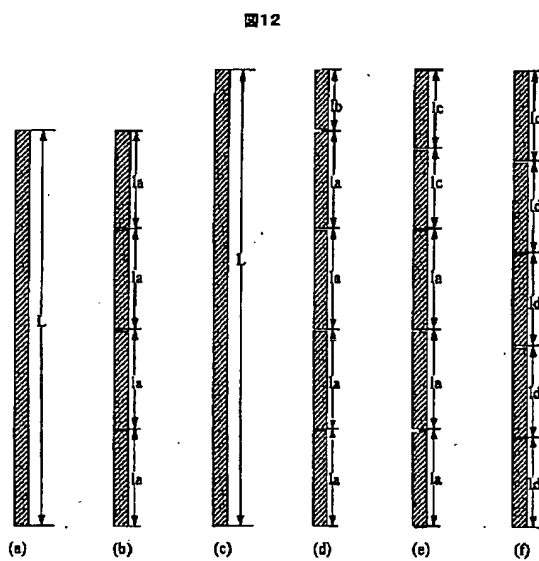
【図9】



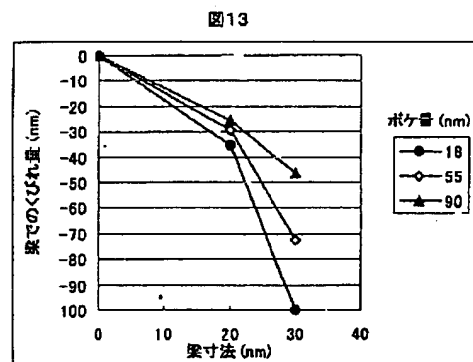
【図10】



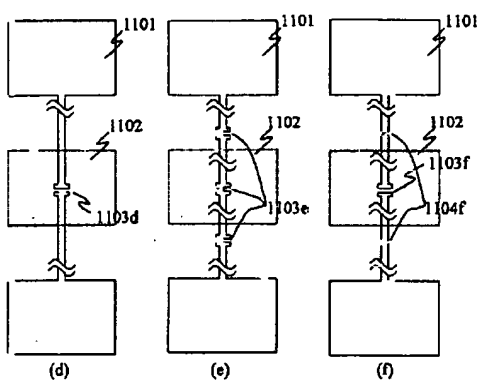
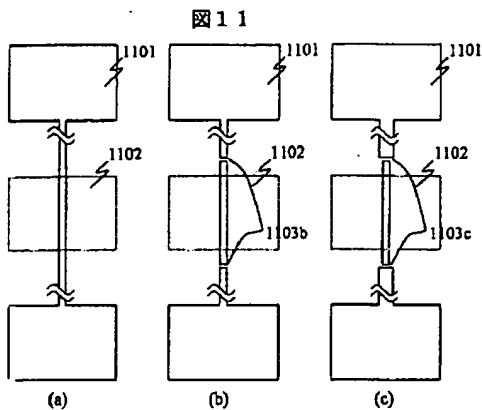
【図12】



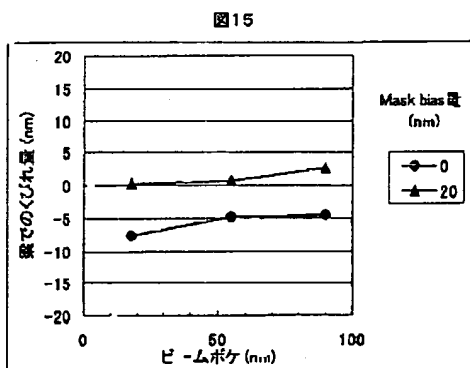
【図13】



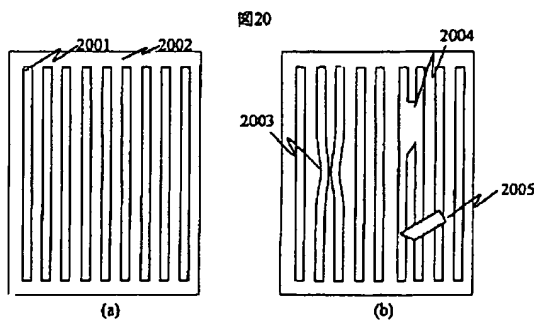
【図11】



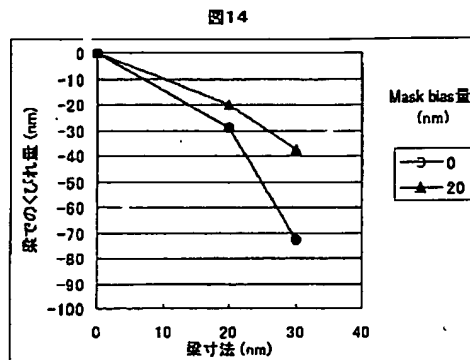
【図15】



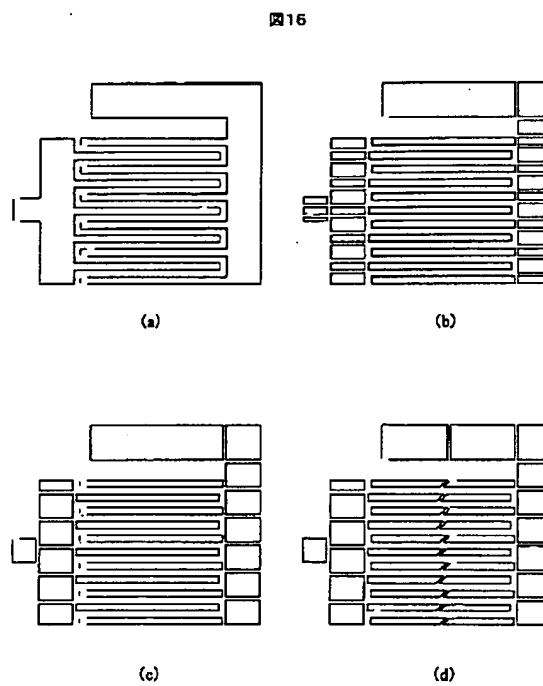
【図20】



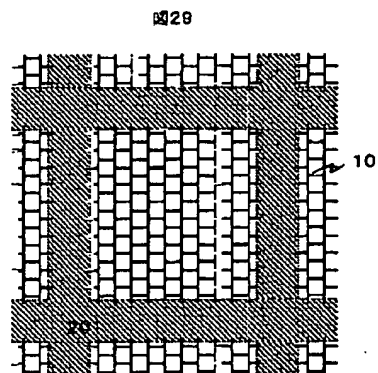
【図14】



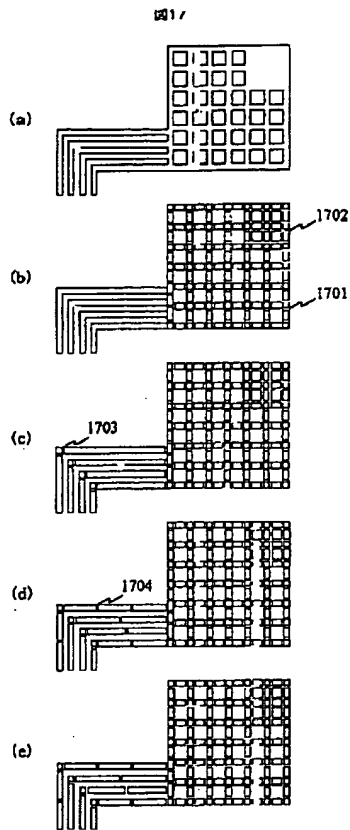
【図16】



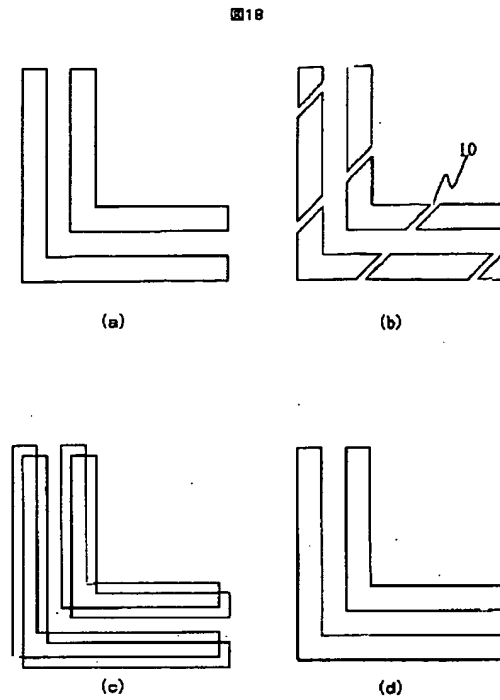
【図29】



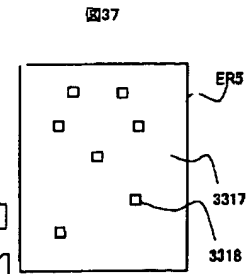
【図17】



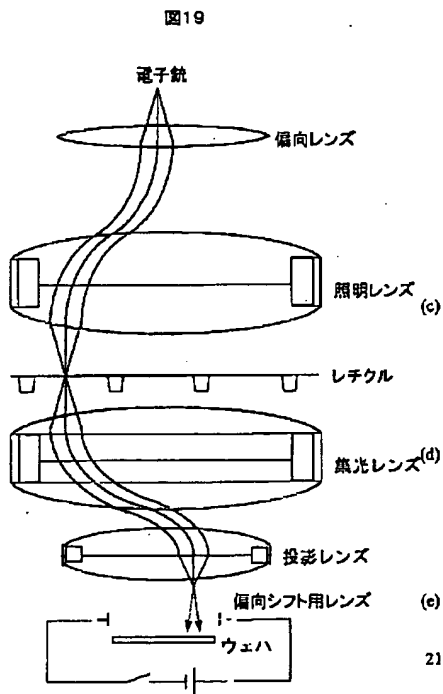
【図18】



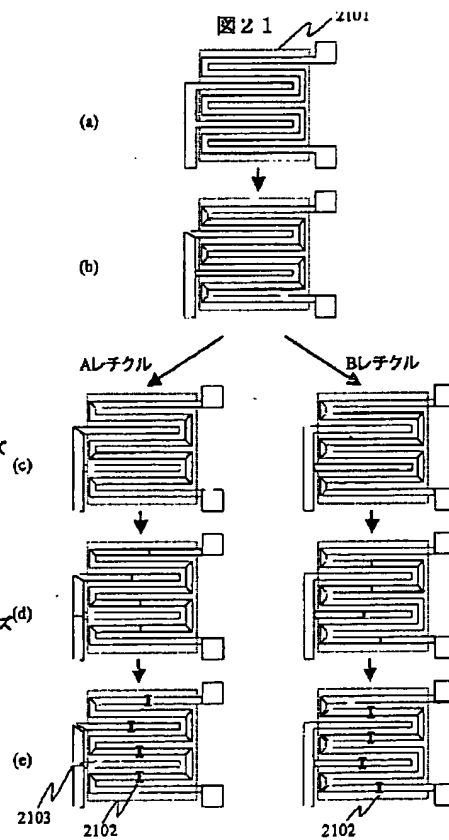
【図37】



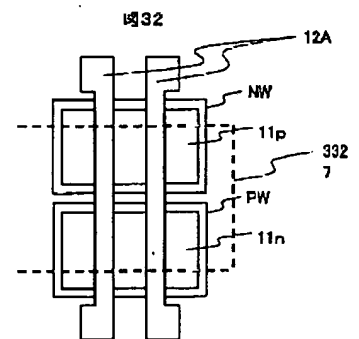
【図19】



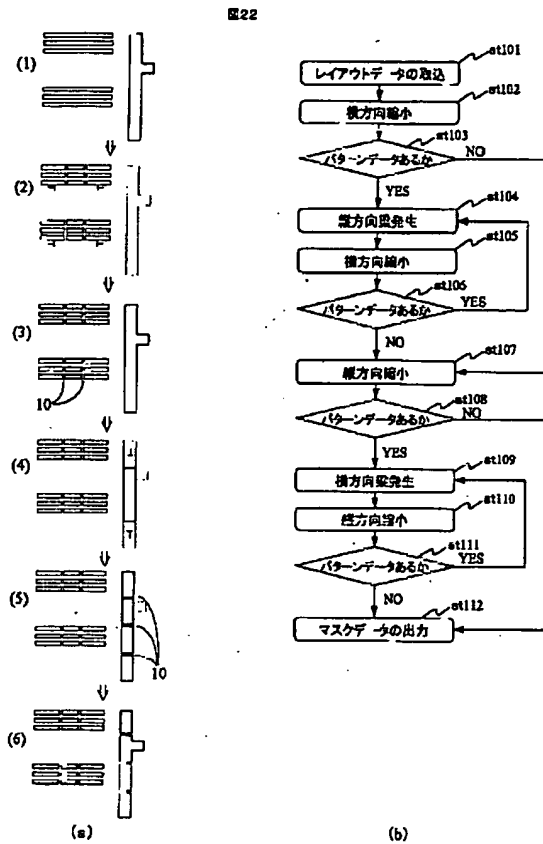
【図21】



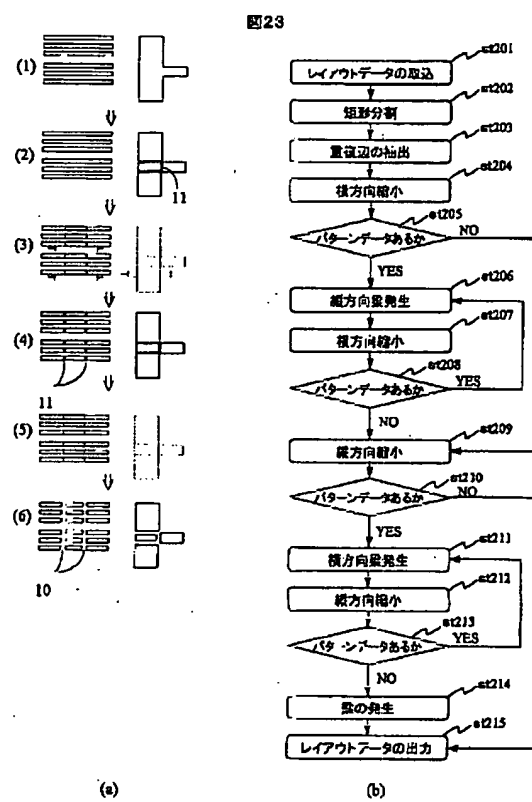
【図32】



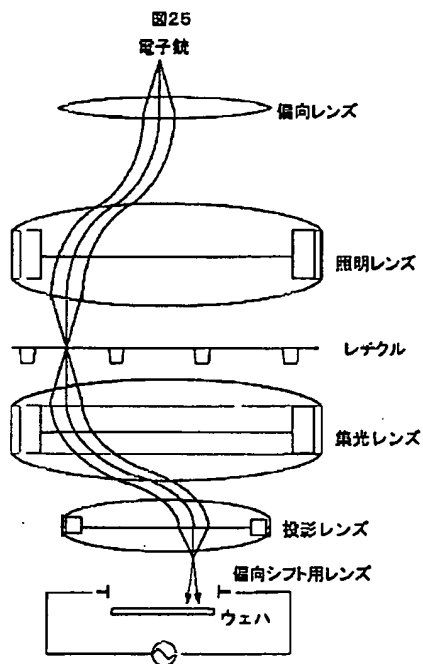
【図22】



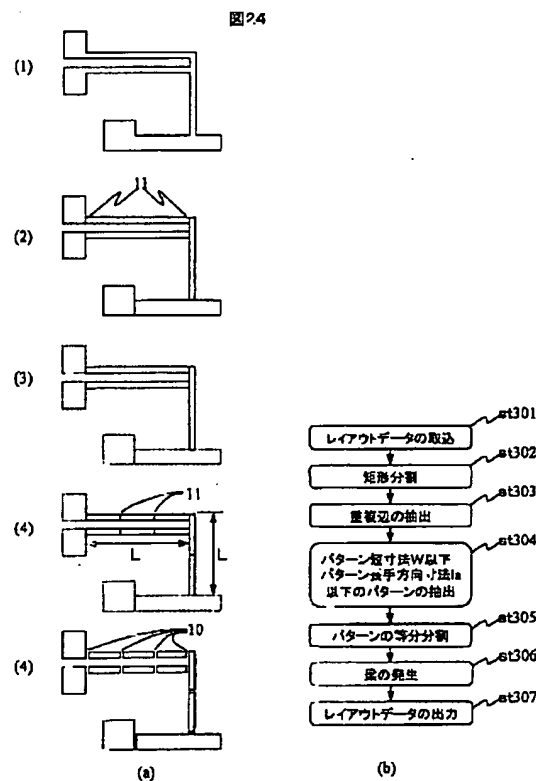
【図23】



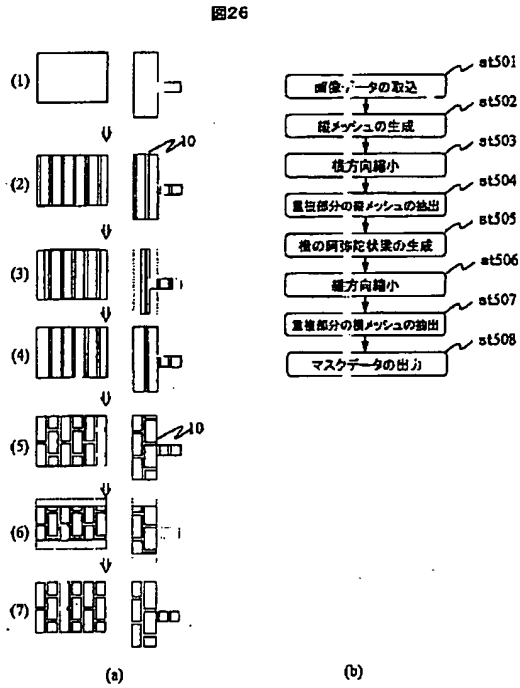
【図25】



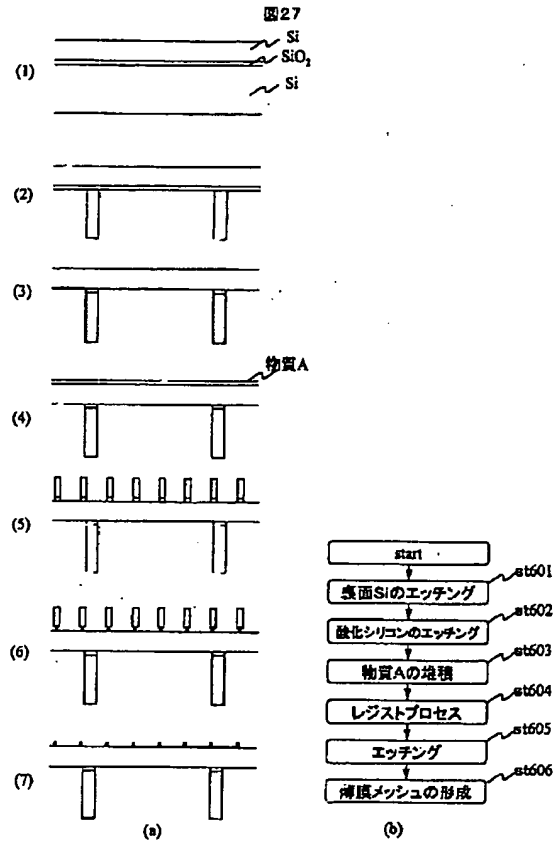
【図24】



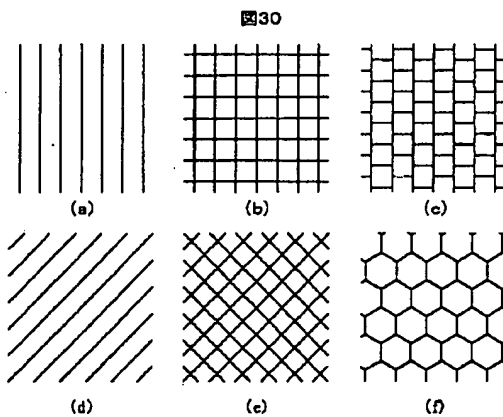
【図26】



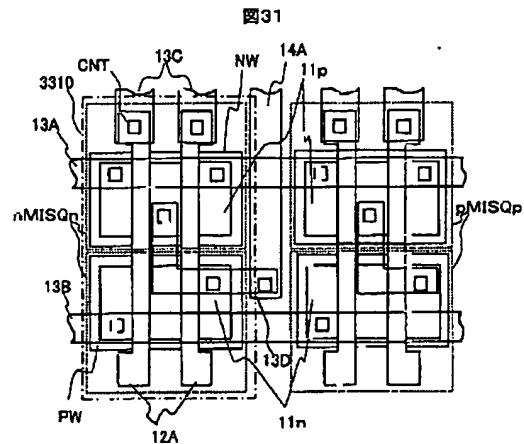
【図27】



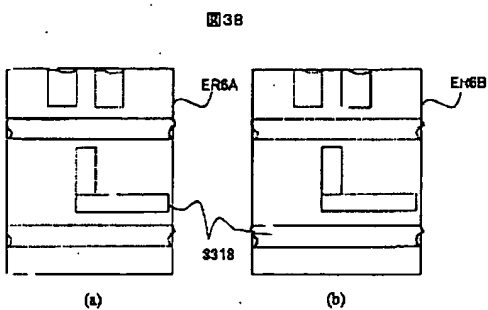
【図30】



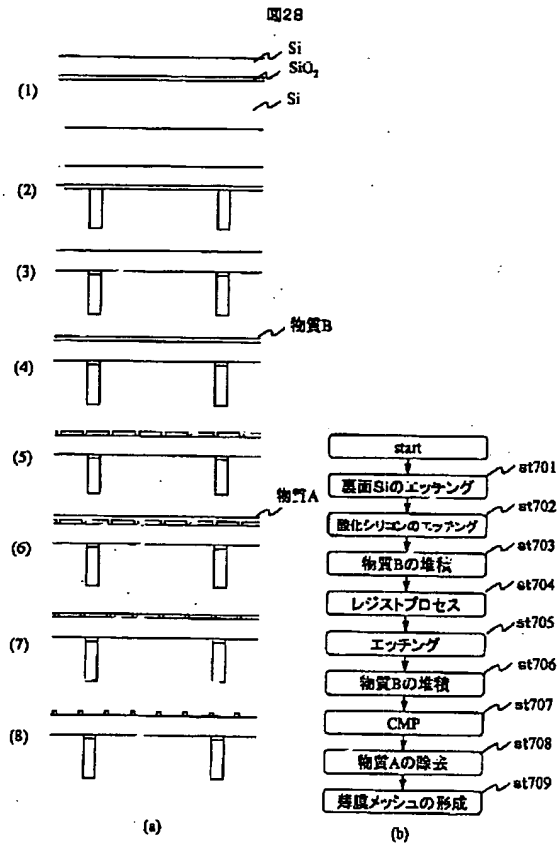
【図31】



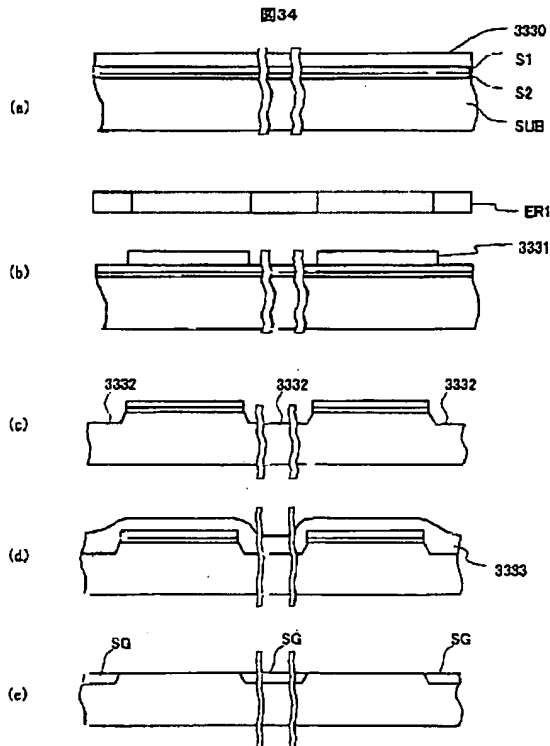
【図38】



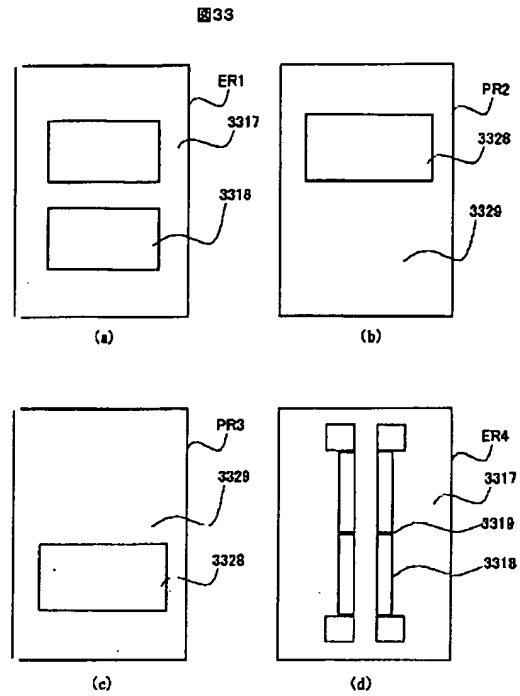
【図28】



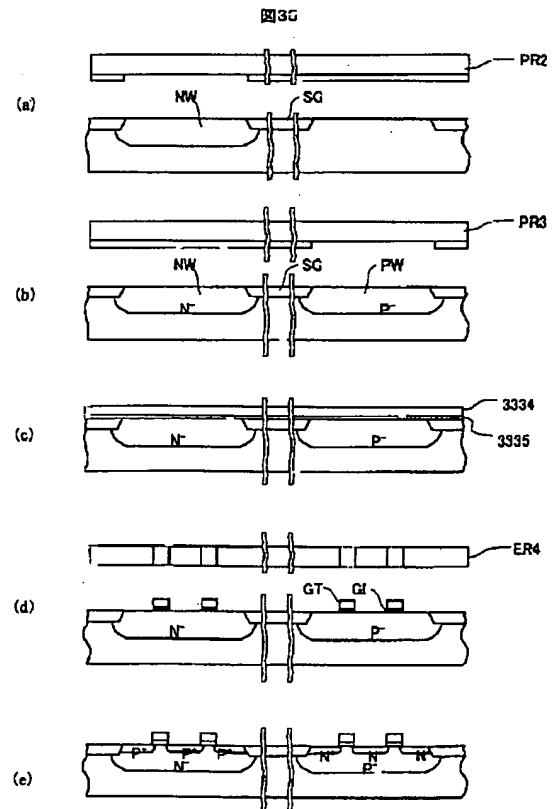
【図34】



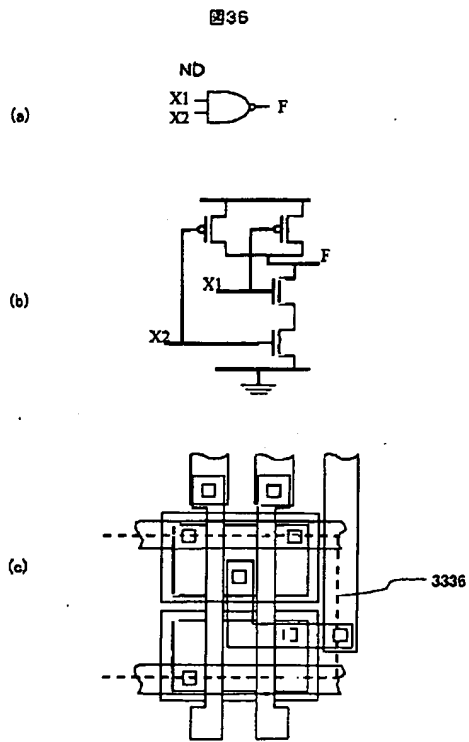
【図33】



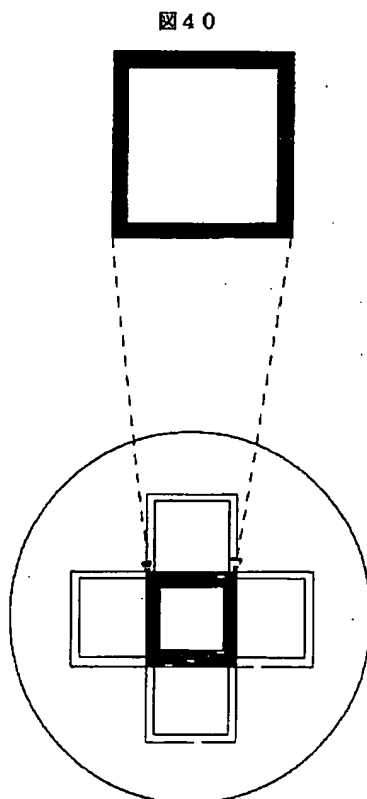
【図35】



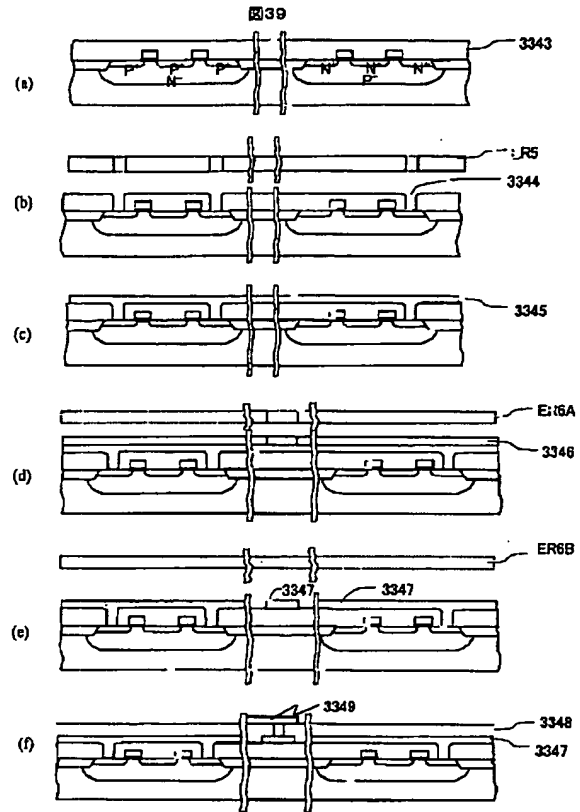
【図36】



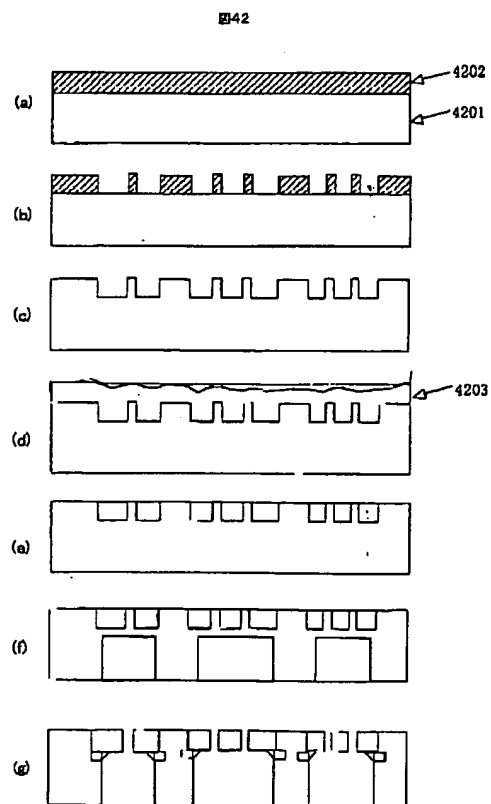
【図40】



【図39】

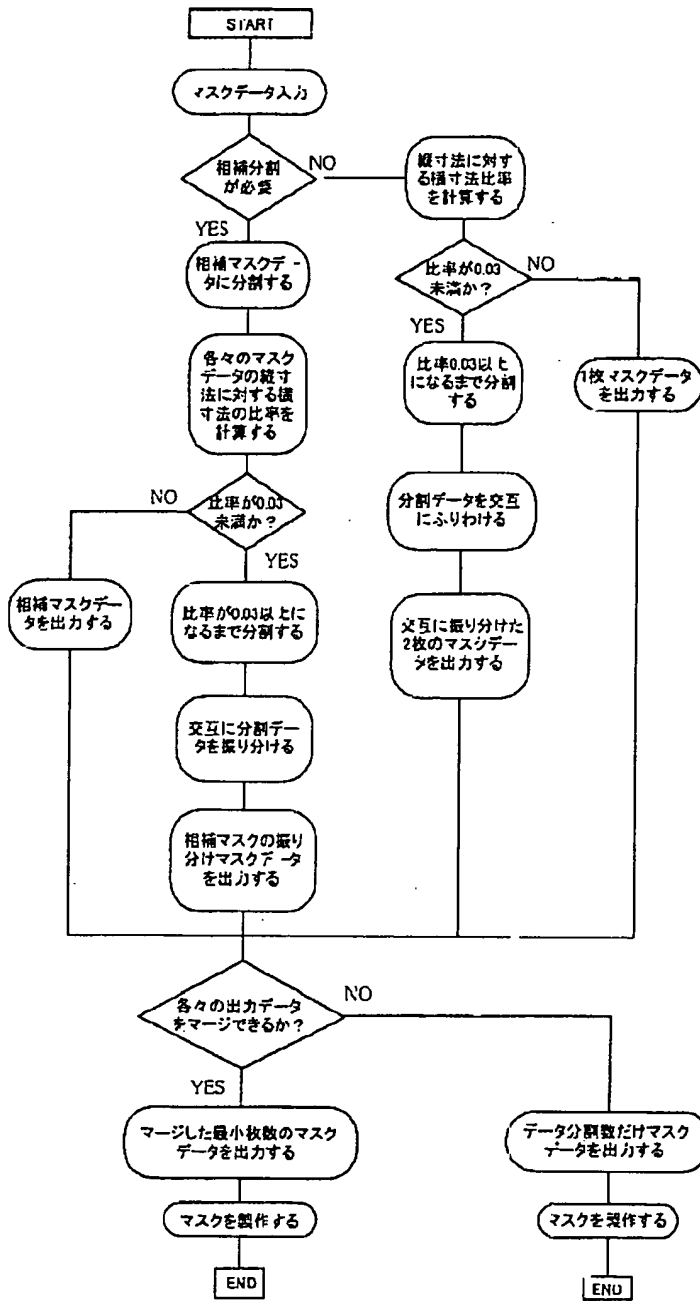


【図42】



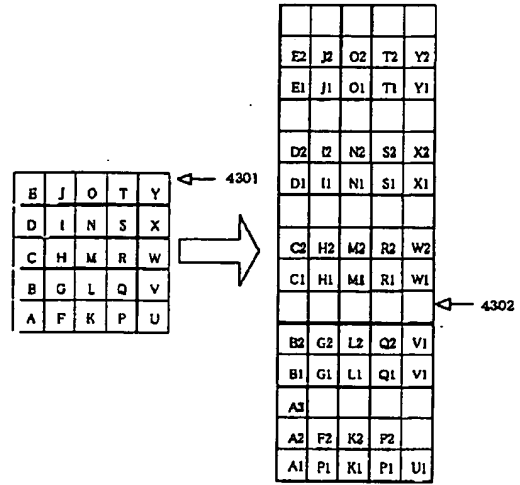
【図41】

図41



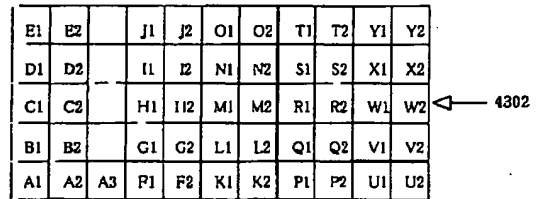
【図43】

図43



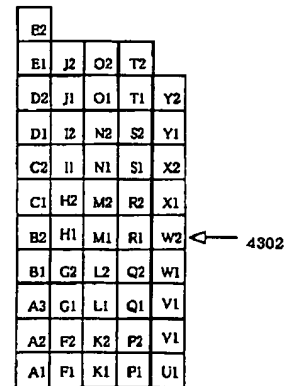
【図44】

図44



【図45】

図45



フロントページの続き

(72)発明者 村井 二三夫
東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内
(72)発明者 寺澤 恒男
東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内

(72)発明者 山本 利幸
東京都小平市上水本町5丁目22番1号 株
式会社日立超エル・エス・アイ・システム
ズ内
Fターム(参考) 5F046 AA05 AA09 AA11 BA04
5F056 AA22 FA05 FA10

図1

